

14. Il programma di simulazione SPICE

14.1 Scopo dei programmi di simulazione

I programmi per la simulazione svolgono un ruolo di importanza sempre crescente nella progettazione e nello sviluppo dei sistemi elettronici. Essi infatti consentono di ridurre notevolmente il tempo e i costi necessari per la messa a punto di un sistema, in particolare consentendo di ridurre drasticamente il numero di prototipi sperimentali di cui risulta necessaria la realizzazione. La realizzazione, caratterizzazione e conseguente modifica dei prototipi rappresentano spesso la fase più onerosa dello sviluppo di un nuovo prodotto elettronico e quella che più contribuisce all'allungamento del "time to market", particolarmente critico nei settori ad alta tecnologia.

Rivestono quindi grande importanza i programmi di simulazione in grado di fornire previsioni quantitative affidabili per il funzionamento di un circuito, tali da fornire indicazioni equivalenti, tranne che magari per il ciclo di messa a punto finale, a quelle che sarebbero ricavabili da misure su un prototipo effettivamente realizzato. Esiste in effetti una complessa gerarchia di programmi di simulazione: si parte da quelli che trattano il funzionamento del singolo dispositivo e si basano su modelli fisici dettagliati dello stesso (talvolta addirittura su principi primi, cioè senza l'utilizzo di alcun parametro fenomenologico), fornendo una descrizione molto dettagliata del comportamento del dispositivo stesso, fino ad arrivare a programmi che trattano la sintesi di sistemi a partire da circuiti con caratteristiche di ingresso e uscita ben specificate. Rimanendo nell'ambito della simulazione a livello del singolo circuito integrato, blocchi circuitali contenenti fino a qualche migliaio di transistori possono essere analizzati con programmi che svolgono un'analisi del comportamento analogico trattando i componenti con un modello analitico di tipo fenomenologico, ma se si devono prendere in considerazione strutture contenenti centinaia di migliaia o milioni di transistori la simulazione analogica dettagliata diventa proibitiva dal punto di vista del carico computazionale e si deve quindi ricorrere a simulatori logici, i quali considerano l'interazione, a livello di segnali logici, tra blocchi più elementari, ciascuno dei quali è stato esaminato in dettaglio in precedenza con un simulatore circuitali.

Nel presente capitolo ci occuperemo dei simulatori a livello circuitale, quindi intermedio tra quello dei simulatori del comportamento fisico del singolo dispositivo e quello dell'interazione logica tra blocchi di una certa complessità. Il programma di simulazione di gran lunga più utilizzato in questo campo è senz'altro SPICE (Simulation Program with Integrated Circuit Emphasis), che rappresenta ormai uno standard.

14.2 Funzionalità di SPICE

Il programma SPICE, a partire da una descrizione topologica della rete e dai valori e modelli dei componenti, è in grado di svolgere sostanzialmente tre tipi di analisi: a) la determinazione, tramite l'utilizzo di modelli realistici non lineari, del punto di lavoro in continua del circuito, b) l'analisi del comportamento in frequenza di un modello linearizzato del circuito, ricavato in corrispondenza del punto di lavoro, c) lo studio del comportamento non lineare, nel dominio del tempo, per grandi segnali. SPICE contiene quindi modelli sia lineari sia non lineari dei componenti elettronici attivi e consente, quando questo sia necessario, di definire anche resistori, condensatori e induttanze con comportamento non lineare. Nel caso di analisi non lineare nel dominio del tempo è possibile definire una vasta gamma di forme d'onda di ingresso,

che comprendono, per esempio, tutta la classe dei segnali con andamento lineare a tratti.

È importante comprendere che l'analisi linearizzata nel dominio della frequenza può essere svolta sostanzialmente in due modi diversi: l'approccio più tipico, di solito seguito nella pratica, è quello di descrivere il circuito indicando la presenza dei dispositivi attivi che effettivamente si intende utilizzare e far fare a SPICE la determinazione del punto di riposo (a) e la determinazione del circuito equivalente linearizzato da utilizzare per la fase b) di analisi in frequenza. L'altro possibile approccio consiste nel ricavare per altra via, per esempio con calcoli manuali, il punto di riposo dei dispositivi a semiconduttore e ottenerne i parametri differenziali a partire dalle caratteristiche fornite dal costruttore: in questo caso si costruisce un circuito già linearizzato, con generatori comandati, che può essere inserito direttamente nel file di ingresso di SPICE. È chiaro che nei due casi si otterranno risultati diversi, perché il circuito linearizzato ricavato internamente da SPICE sarà in genere più vicino alla realtà, perché ottenuto con tecniche più sofisticate di quelle che si possono applicare con procedure manuali. Evidentemente, nel caso in cui lo scopo dell'analisi con SPICE sia la verifica di un calcolo svolto con procedimento manuale, sarà indispensabile partire dal circuito già linearizzato con tecniche manuali.

Sono possibili ulteriori analisi, come quella del comportamento dal punto di vista del rumore, che non prenderemo in considerazione in questa sede, ma per le quali una documentazione completa può essere trovata nei vari manuali d'uso di SPICE.

14.3 Struttura della netlist

Il file contenente i dati di ingresso del programma SPICE viene di solito indicato come "netlist" e ha una struttura abbastanza semplice nella quale compaiono sostanzialmente uno statement di apertura (contenente il nome del circuito), seguito da degli statement che forniscono la descrizione della rete e poi da delle direttive che indicano i tipi di analisi richiesti e vari aspetti del formato di uscita; il file si conclude sempre con una direttiva `.END`.

In molte versioni commerciali di SPICE esiste un'interfaccia grafica che consente l'inserimento della rete elettrica da analizzare tramite il tracciamento di uno schema vero e proprio. In ogni caso, il front-end grafico produce poi una netlist del tipo che stiamo descrivendo, la cui sintassi è pressoché standard per tutte le versioni di SPICE.

La netlist può essere prodotta con un qualunque editor di testo e commenti possono essere inseriti facendoli precedere dal carattere asterisco (*).

Gli statement di descrizione della rete consistono in una lista di tutti i componenti, con l'indicazione dei loro valori e dei nodi della rete ai quali i terminali del componente sono connessi. I nodi della rete sono identificati tramite una numerazione che può essere attribuita arbitrariamente, con l'unica accortezza che il nodo di massa, quello in riferimento al quale vengono espressi tutti i valori di tensione, deve essere sempre indicato con lo zero.

14.4 Statement per la descrizione dei componenti passivi

In SPICE ciascun componente viene identificato tramite un nome (del quale sono significativi i primi 7 caratteri), la cui iniziale indica univocamente il tipo di componente. Per i componenti passivi (resistori, condensatori, induttanze) è necessario indicare i due nodi tra i quali il componente è connesso, tramite i loro numeri, e il valore del componente stesso. È anche possibile fornire ulteriori informazioni, delle

quali citeremo soltanto le principali, rimandando al manuale per ulteriori informazioni.

Il nome dei resistori deve sempre iniziare con la lettera **R** e il valore può essere espresso in ohm o nei relativi multipli e sottomultipli. Non è necessario specificare l'unità di misura, poiché se si tratta di un resistore devono essere necessariamente ohm; risulta invece necessario indicare, se si considera un multiplo o un sottomultiplo dell'ohm, il relativo prefisso moltiplicatore, secondo quanto indicato di seguito. I prefissi moltiplicatori di uso comune sono:

10^{-12} : P
 10^{-9} : N
 10^{-6} : U
 10^{-3} : M
 10^3 : K
 10^6 : MEG

Si noti che i megaohm si indicano con **MEG** o **MEGOHM** e non con **M** o **MOHM**, che indicano invece i milliohm!

Lo statement descrittivo di un resistore, che definiamo **RSOURCE**, da 150Ω connesso tra i nodi 3 e 6 risulterà quindi

```
RSOURCE 3 6 150
```

Il nome dei condensatori deve sempre iniziare con la lettera **C** e il valore viene di default assunto in farad. Per esempio, lo statement descrittivo di un condensatore **C3** da 150 nF connesso tra i nodi 4 e 5 risulta:

```
C3 4 5 150N
```

Per i condensatori si può anche specificare la tensione iniziale all'istante di inizio del transitorio, aggiungendo **IC= valore**, dove con **valore** si indica proprio il valore di tale tensione in volt.

Il nome delle induttanze deve sempre iniziare con la lettera **L** e il valore viene di default assunto in henry. Lo statement per la descrizione di un'induttanza **L1** da $120 \mu\text{H}$ connessa tra i nodi 8 e 5 risulterà dunque:

```
L1 8 5 120U
```

Anche per le induttanze è possibile specificare una condizione iniziale, come per i condensatori, ma in questo caso la grandezza da specificare è la corrente all'istante di inizio del transitorio. Anche in questo caso si aggiunge allo statement descrittivo **IC= valore**.

14.5 Statement per la descrizione dei generatori di tensione e di corrente

I generatori di indipendenti possono essere generatori di tensione, il cui nome deve iniziare con la lettera **V** o generatori di corrente, il cui nome deve iniziare con la lettera **I**. Per i generatori indipendenti si possono specificare una grande varietà di caratteristiche; di queste vedremo soltanto quelle relative ai due casi più semplici, vale a dire i generatori in continua e quelli in alternata utilizzati per la determinazione della risposta in frequenza del circuito.

Per specificare un generatore in continua è sufficiente indicare **DC** seguito dal valore in volt. Per un generatore di tensione continua abbiamo quindi in generale uno statement del tipo

```
Vnome N+ N- DC valore
```

dove $N+$ è il numero del nodo a cui è connesso il terminale positivo e $N-$ è il numero del nodo al quale è connesso il terminale negativo. Nel caso di un generatore di corrente continua il terminale dal lato della “punta” della freccia viene considerato come terminale negativo e quello dal lato della “coda” viene considerato come terminale positivo. Il generico statement per la definizione di un generatore di corrente continua è quindi

Inome $N+$ $N-$ DC valore

Vediamo qualche esempio: un generatore di tensione continua **VCC** da 5 V con il terminale positivo sul nodo 5 e quello negativo sul nodo 4, si definisce con uno statement **VCC 5 4 DC 5**

Nel caso di un generatore in alternata, invece di **DC** dovremo indicare **AC**, seguito da un numero che indica il modulo della tensione (o corrente) prodotta e, facoltativamente, da un valore di fase relativa (è chiaro che se abbiamo un solo generatore in alternata non ha significato indicare la fase). Un generatore di corrente alternata **IS** da 1 mA che “invia” corrente nel nodo 4 e la “estrae” dal nodo 8 si indicherà con

IS 8 4 AC 1M

È possibile, come già detto, specificare tutta una varietà di andamenti della tensione o della corrente in uscita dai generatori indipendenti, utili per l’analisi nel dominio del tempo, come, per esempio, forme d’onda quadre e rettangolari, sinusoidali, esponenziali, lineari a tratti, ma non entreremo nel dettaglio, che può essere trovato in un qualunque manuale di **SPICE**.

Si utilizzano spesso dei generatori di tensione di valore nullo, con la funzione di amperometri: questi possono essere inseriti in serie a un ramo senza perturbare la funzionalità del circuito ed è poi possibile richiedere che sia inserito tra i dati di uscita il valore della corrente che fluisce dal terminale positivo a quello negativo.

Abbiamo precedentemente discusso la possibilità di svolgere un’analisi tramite **SPICE** su un circuito già linearizzato, nel quale compaiono quindi generatori di tensione e di corrente comandati. Esistono quattro tipi di generatori comandati, ciascuno dei quali viene identificato in **SPICE** tramite un nome che inizia per una lettera diversa: **E** per i generatori di tensione controllati in tensione, **H** per i generatori di tensione controllati in corrente, **F** per i generatori di corrente controllati in corrente, **G** per i generatori di corrente controllati in tensione.

Vediamo lo statement descrittivo generico per un generatore di tensione controllato in tensione:

Enome $N+$ $N-$ $NC+$ $NC-$ P1

dove $N+$ e $N-$ sono i nodi ai quali sono connessi, rispettivamente, i terminali positivo e negativo, $NC+$ e $NC-$ sono i nodi tra i quali è presente la tensione di controllo, **P1** è il coefficiente di proporzionalità tra la tensione di uscita e quella di controllo. Si potrebbero indicare, invece del solo **P1**, un certo numero di valori, corrispondenti ai coefficienti che descrivono una relazione polinomiale tra la tensione di controllo e quella di uscita. Nel caso in cui siano indicati più numeri, il primo viene considerato come il termine noto del polinomio, il secondo come il coefficiente del termine di ordine 1, il terzo come il coefficiente di ordine 2, ecc. Per esempio, un generatore comandato descritto con

E2 5 6 10 1 2 51 4

impone tra i nodi 5 e 6 una tensione pari a $4v^2 + 51v + 2$, dove v è la tensione tra i nodi 10 e 1. La possibilità di indicare una relazione polinomiale tra la grandezza di ingresso e quella di uscita esiste per tutti i generatori comandati.

Vediamo ora lo statement descrittivo generico per un generatore di tensione controllato in corrente:

```
Hnome N+ N- VC1 P1
```

dove VC1 è il generatore di tensione attraverso il quale scorre la corrente di controllo.

Per un generatore di corrente controllato in corrente abbiamo

```
Fnome N+ N- VC1 P1
```

dove VC1 è ancora il generatore di tensione attraverso il quale scorre la corrente di controllo.

Infine, il generico statement descrittivo del generatore di corrente controllato in tensione risulta

```
Gnome N+ N- NC+ NC- P1
```

14.6 Statement per la descrizione dei componenti a semiconduttore e dei sottocircuiti

Il più semplice componente a semiconduttore è il diodo: in SPICE si indica con un nome che inizia sempre con la lettera D e con uno statement del tipo riportato di seguito:

```
Dnome NA NC model
```

dove NA è il nodo al quale è connesso l'anodo e NC quello a cui è connesso il catodo. Con model si indica il nome del modello SPICE che deve essere contenuto in una library o definito altrove nella netlist. In genere il nome del modello corrisponde alla sigla commerciale del componente. Per esempio, se abbiamo un diodo 1N4148 connesso con il catodo sul nodo 4 e l'anodo sul nodo 6, useremo lo statement:

```
DPRIMO 6 4 1N4148
```

È anche possibile indicare ulteriori parametri, come l'area o la tensione presente ai capi del diodo all'inizio del transitorio, ma non ci soffermiamo su questi aspetti.

I BJT vengono indicati con un nome che inizia per Q e uno statement del tipo

```
Qnome NC NB NE [NS] modello
```

dove NC è il nodo al quale è connesso il collettore, NB è il nodo della base e NE quello dell'emettitore. Il nodo NS è indicato tra parentesi quadre perché può essere omesso (e di solito lo è), trattandosi del nodo a cui è connesso l'elettrodo di schermo, che è presente solo su alcuni transistori per alta frequenza. Anche in questo caso il modello deve essere presente nella library oppure definito all'interno della netlist stessa e una serie di parametri aggiuntivo possono essere specificati.

I transistori JFET vengono indicati con un nome che inizia per J e con uno statement del tipo

```
Jnome ND NG NS modello
```

dove ND, NG, NS sono, rispettivamente, i nodi a cui risultano collegati il drain, il gate e il source.

Analogamente i transistori MOS vengono rappresentati con un nome che inizia sempre con la lettera M e uno statement del tipo

```
Mnome ND NG NS NB modello
```

dove NB è il nodo a cui è connesso l'elettrodo di bulk (substrato). Per i MOS è possibile specificare un numero molto vasto di parametri addizionali e anche scegliere tra almeno tre modelli con diverso livello di sofisticazione.

Se un particolare circuito compare più volte nella stessa rete, possiamo definirlo come subcircuit e richiamarlo con uno statement del tutto analogo a quello utilizzato per gli altri componenti, indicandolo con un nome che inizia per X:

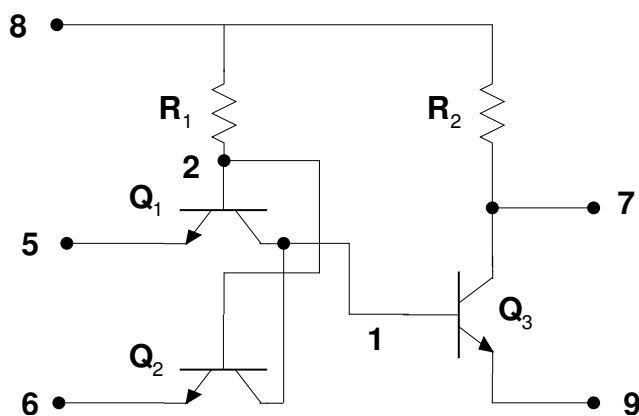
```
Xname N1 N2 N3 ... snome
```

dove con **snome** si è indicato il nome utilizzato nello statement descrittivo del sottocircuito. Il numero di nodi è arbitrario e dipende chiaramente dalla complessità del subcircuit. La descrizione del subcircuit si fa con una direttiva (le direttive si riconoscono per il fatto che il loro nome ha come primo carattere un punto) che inizia con

```
.SUBCKT snome NA NB NC ...
```

e poi contiene una normale netlist che descrive il sottocircuito. La direttiva di descrizione si conclude con uno statement `.ENDS`.

Vediamo un esempio di definizione di un subcircuit, per esempio il NAND semplificato il cui schema è riportato di seguito.



La descrizione di questo circuito risulterà

```
.SUBCKT NAND 5 6 7 8 9
Q1 1 2 5 MODTR1
Q2 1 2 6 MODTR1
R1 2 8 3K
R2 7 8 500
Q3 7 1 9 MODTR1
.ENDS
```

dove con MODTR1 si è indicato il modello per il particolare tipo di BJT utilizzato. La numerazione dei nodi all'interno del sottocircuito è del tutto libera e indipendente da quella nella netlist principale, purché non si utilizzi lo 0, che è riservato al nodo di riferimento.

Come già citato, è possibile definire un modello di dispositivo anche all'interno della netlist (quando questo non sia disponibile in una library). In tal caso si utilizza lo statement `.MODEL`, che consente di definire un particolare componente a partire da modelli analitici predefiniti per le varie tipologie di dispositivi. Non ci addentriamo nella descrizione dello statement `.MODEL`, rimandando gli interessati ai manuali di SPICE.

14.7 Direttive per l'analisi dei circuiti

In SPICE esistono una serie di direttive per specificare il tipo di analisi che si intende svolgere sul circuito descritto nella netlist. Nel seguito esamineremo le più comuni tra queste direttive.

La direttiva `.OP` viene utilizzata per il calcolo del punto di riposo: SPICE procede alla determinazione dei valori di tensione continua sui vari nodi del circuito, utilizzando per l'analisi un modello non lineare dei componenti elettronici.

Una volta determinato il punto di riposo, SPICE ricava anche il circuito equivalente lineare per le piccole variazioni. Se si vuole calcolare la risposta in frequenza di tale circuito, è possibile utilizzare la direttiva `.AC` che prevede la seguente sintassi

```
.AC [DEC] [OCT] [LIN] NP fstart fstop
```

dove l'indicazione di `DEC`, `OCT` o `LIN` indica il tipo di risoluzione utilizzato nella determinazione delle frequenze in corrispondenza delle quali viene calcolata la risposta: lineare con `LIN` e logaritmico con `DEC` e `OCT`. Con `NP` si indica il numero di punti totale nel caso di risoluzione lineare o di punti per decade o per ottava se preceduto, rispettivamente da `DEC` o `OCT`. Di solito si usa una risoluzione logaritmica e si utilizza `DEC`, specificando il numero di punti per decade. Per esempio, uno statement del tipo

```
.AC DEC 30 10 100K
```

indica che deve essere effettuata un'analisi in alternata con risoluzione logaritmica con 30 punti per decade da 10 Hz a 100 kHz.

Se vogliamo invece svolgere un'analisi nel dominio del tempo, utilizzando un modello non lineare e valido quindi anche per grandi segnali, dobbiamo usare la direttiva `.TRAN`, per la quale lo statement generale è nella forma

```
.TRAN tstep tstop [tstart] [tmax] [UIC]
```

Il numero `tstep` indica il passo temporale con il quale si vuole che sia rappresentato il transitorio, `tstop` indica l'istante di fine del transitorio. Se `tstart` non è indicato, viene assunto pari a 0. Se si indica un ulteriore numero oltre a `tstart`, questo viene interpretato come il passo massimo che SPICE deve utilizzare per l'integrazione numerica delle equazioni integro-differenziali che descrivono il circuito. Questo è un parametro molto importante, dato che se viene scelto troppo grande il risultato può anche essere completamente sbagliato. Se `tmax` non è indicato, SPICE lo calcola in modo automatico, ottenendo un risultato di solito valido, ma che per circuiti particolari può non essere adeguato. Questo è il motivo per cui è possibile specificarlo manualmente: chiaramente deve essere sempre minore di `tstep` e si può trovare il valore appropriato riducendolo progressivamente finché non si osservano più variazioni nei risultati. Infine, se si include `UIC` nello statement, verranno prese in considerazione le condizioni iniziali eventualmente indicate per i condensatori e per le induttanze, che altrimenti vengono assunte nulle.

14.8 Direttive di uscita

Esistono delle direttive per specificare il tipo di dati che si desidera avere inclusi nel file di uscita. Per esempio è possibile ottenere una tabella dei valori ottenuti nelle varie analisi tramite lo statement `.PRINT`, che ha una sintassi del tipo

```
.PRINT type var1 var2 ...
```

dove `type` indica il tipo di analisi (`AC`, `TRAN`, ecc.). Le variabili indicate corrispondono alle grandezze a cui siamo interessati, che possono essere tensioni su nodi del circuito o correnti che attraversano generatori di tensione. viene prodotta una tabella nella quale ogni riga contiene un valore di frequenza (nel caso di analisi `AC`) o di tempo (nel caso di analisi `TRAN`), seguito dai relativi valori delle variabili elencate. Per esempio,

.PRINT AC V(1), VP(1), I(VCC)

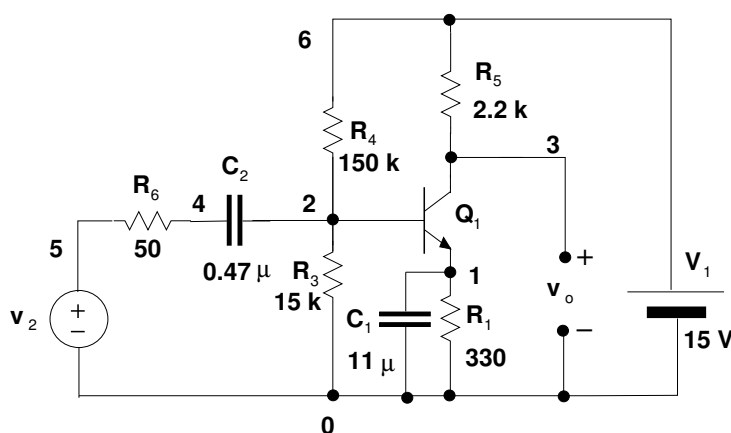
indica che deve essere prodotta una tabella con i valori dell'analisi in frequenza del modulo della tensione sul nodo 1, della fase della tensione sul nodo 1 e della corrente che attraversa il generatore VCC.

Un'altra direttiva di uscita, ormai non più molto utilizzata, vista la disponibilità di tool grafici per l'esame dei risultati della simulazione, consiste nello statement .PLOT, che consente di ottenere un grafico a caratteri ASCII delle grandezze specificate con una sintassi analoga a quella dello statement .PRINT. Per esempio,

.PLOT TRAN V(1), V(2), I(VCC)

determina il tracciamento del grafico in funzione del tempo delle tensioni sui nodi 1 e 2 e della corrente attraverso il generatore VCC.

Vediamo un esempio di descrizione di un semplice circuito, in particolare un amplificatore a emettitore comune.



Innanzitutto numeriamo i nodi nel modo indicato, attribuendo l'indice 0 al nodo di riferimento. Possiamo poi scrivere la netlist, nella quale possono essere anche inserite righe di commento, precedute da asterisco:

CIRCUIT COMMON_EMITTER

* QUESTO CIRCUITO E' UN AMPLIFICATORE A EMETTITORE COMUNE

.OP

.AC DEC 30 10K 10MEG

.PRINT AC V(3) VP(3)

.PRINT DC V(3)

R1 1 0 330

C1 1 0 11 UF

R3 2 0 15K

R4 2 6 150K

R5 3 6 2200

C2 2 4 0.47U

R6 4 5 50

V2 5 0 AC

V1 6 0 DC 15

Q1 3 2 1 BC109C

.model BC109C NPN(Is=7.049f Xti=3 Eg=1.11 Vaf=28.14 Bf=677 Ise=7.049f

+ Ne=1.38 Ikf=96.23 Nk=.5 Xtb=1.5 Br=2.209 Isc=250.3p Nc=2.002

+ Ikr=10.73 Rc=1.433 Cjc=5.38p Mjc=.329 Vjc=.6218 Fc=.5

+ Cje=11.5p Mje=.2717 Vje=.5 Tr=10n Tf=437.8p Itf=3.097


```
+ Xtf=12.85 Vtf=10)
.END
```

È stato inserito anche il modello del BC109C, a scopo esemplificativo. Di solito non è necessario inserire il modello nella netlist, perché questo è già contenuto in una library fornita insieme con SPICE. Una riga che inizia con il simbolo + viene interpretata come continuazione della precedente.

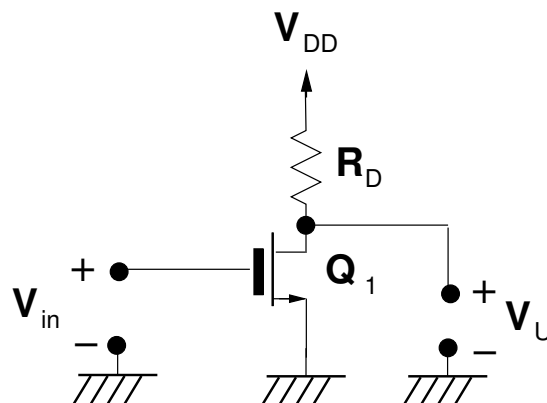
15. Concetti di base sui circuiti digitali

15.1 Introduzione

Come avevamo già visto quando abbiamo trattato i circuiti logici a diodi, la rappresentazione di segnali digitali tramite grandezze intrinsecamente analogiche, come i valori di tensione o di corrente in un circuito, richiede la scelta di un'opportuna convenzione con la quale si associno i valori logici 0 e 1 a intervalli distinti di valori della variabile analogica considerata. Per esempio, possiamo definire come 1 logico qualunque tensione compresa tra una certa soglia e la tensione di alimentazione e come 0 logico qualunque tensione compresa tra lo zero e una data soglia, inferiore a quella relativa all'1. Valori intermedi tra le due soglie corrispondono a un livello logico indeterminato.

Nella logica a diodi avevamo incontrato vari problemi, tra i quali il problema del decadimento dei livelli logici attraverso una catena di porte in cascata, a causa delle cadute di tensione sui diodi, e quello dell'assenza di una porta a diodi in grado di effettuare l'operazione NOT di inversione logica.

Tali inconvenienti possono essere superati utilizzando componenti a tre terminali che presentano un guadagno di potenza. In particolare, soffermiamoci per il momento sul problema della porta NOT o "inverter". Possiamo pensare a una soluzione estremamente semplice come quella dello schema di seguito riportato, in cui, quando la tensione di ingresso è inferiore a quella di soglia del transistor MOS, questo risulta interdetto e la tensione sul drain è pari a quella di alimentazione. Se invece la tensione di ingresso è pari a quella di alimentazione, il transistor MOS si comporta sostanzialmente come un interruttore chiuso e la tensione sul drain è molto vicina allo zero (perché la resistenza di canale del MOS risulta molto più piccola di R_D).

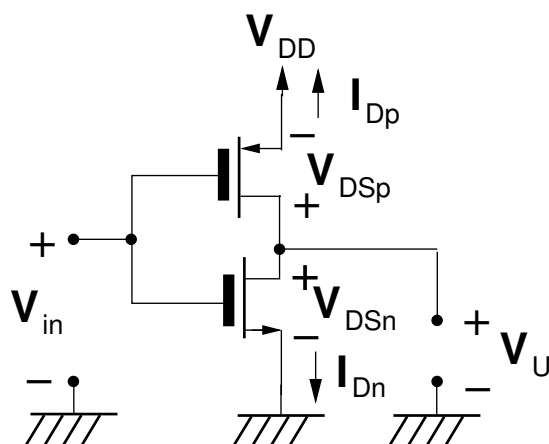


Questo circuito svolge dunque la funzione logica di un inverter, ma presenta un inconveniente significativo: mentre nella condizione corrispondente allo stato logico alto in uscita la dissipazione di potenza è praticamente trascurabile (essendo la corrente pressoché nulla), quando in uscita abbiamo uno stato logico basso una potenza

V_{DD}^2/R_D viene dissipata. In un circuito con centinaia di migliaia o milioni di porte logiche questo può essere un problema significativo. Per questo motivo è stata sviluppata una soluzione diversa, discussa nel paragrafo successivo, che consente di evitare la dissipazione di potenza, eccetto che durante il transitorio di passaggio da uno stato all'altro.

15.2 L'inverter CMOS

La soluzione al problema della dissipazione di potenza in condizioni statiche da parte dell'inverter consiste nell'utilizzo, oltre a un transistore MOS a canale n , anche di un transistore MOS a canale p , realizzando la cosiddetta configurazione MOS complementare (Complementary MOS, CMOS), di seguito illustrata.

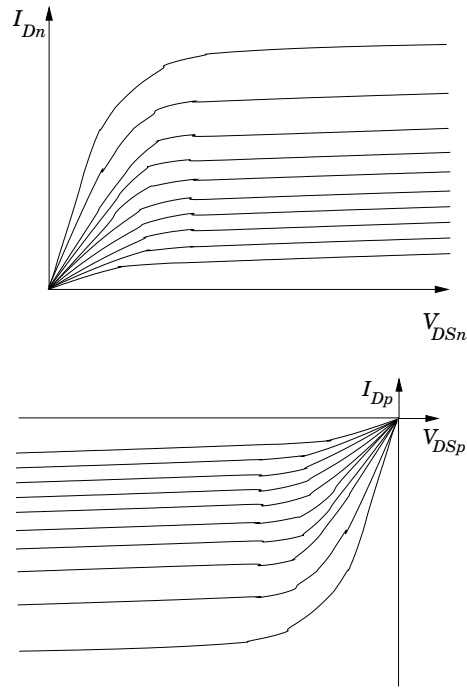


Quando la tensione di ingresso è bassa, il transistore NMOS si comporta come un interruttore aperto, mentre quello PMOS ha una tensione V_{GS} negativa e in modulo pari alla V_{DD} , per cui si comporta come una resistenza di basso valore. Pertanto possiamo considerare il transistore superiore come un interruttore chiuso e quello inferiore come un interruttore aperto, ottenendo una tensione di uscita pari alla V_{DD} . Se invece l'ingresso si trova a tensione V_{DD} , il transistore NMOS si comporta come un interruttore chiuso e quello PMOS, avendo una V_{GS} nulla, come un interruttore aperto. Dunque il comportamento è quello desiderato di un inverter, perché si ha un'uscita alta per un ingresso basso e un'uscita bassa per un ingresso alto. Inoltre la dissipazione di potenza è pressoché nulla in tutti e due gli stati, perché i transistori sono alternativamente attraversati da corrente nulla o hanno una tensione V_{DS} praticamente nulla, per cui il prodotto corrente-tensione risulta trascurabile nei due stati.

Cerchiamo ora di ricavare la caratteristica di trasferimento ingresso-uscita per una porta CMOS, partendo dalle caratteristiche di uscita dei due transistori che la costituiscono e che riportiamo di seguito.

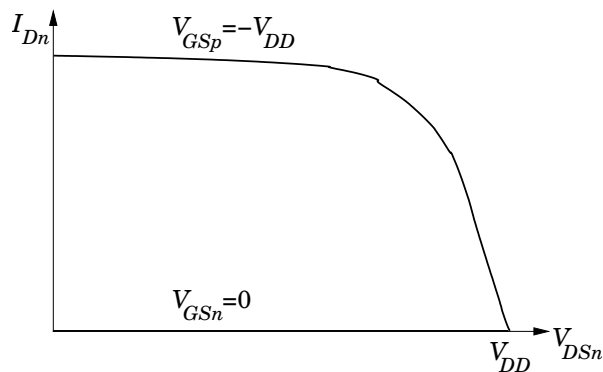
Possiamo scrivere alcune relazioni che legano tra loro le correnti e le tensioni sui due transistori:

$$\begin{cases} I_{Dn} = -I_{Dp} \\ V_{DSn} = V_{DD} + V_{DSp} \\ V_{in} = V_{GSn} \\ V_u = V_{DSn} \end{cases}$$



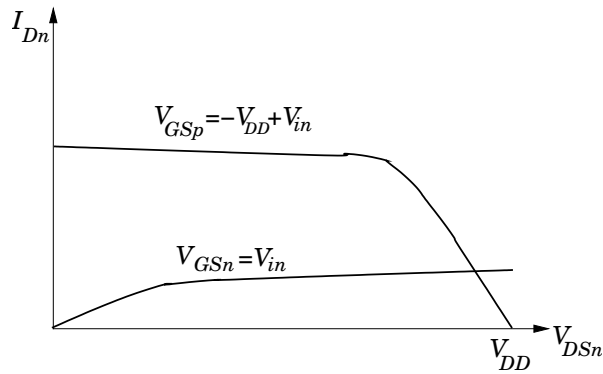
Vediamo come rappresentare contemporaneamente le caratteristiche del transistor p e di quello n sullo stesso grafico. Se assumiamo come coordinate V_{DSn} e I_{Dn} , il grafico delle caratteristiche di uscita del transistor p deve essere innanzitutto ruotato intorno all'asse delle ascisse dato che $I_{Dn} = -I_{Dp}$ e deve essere poi traslato verso destra di V_{DD} , dato che $V_{DSn} = V_{DD} + V_{DSp}$. Per trovare il punto di lavoro dovremo intersecare la caratteristica per il transistor n per $V_{GSn} = V_{in}$ e quella del transistor p per $V_{GSp} = -V_{DD} + V_{in}$.

Iniziamo dalla condizione $V_{in} = 0$: in questo caso $V_{GSn} = 0$ e $V_{GSp} = -V_{DD}$. Tracciamo soltanto le corrispondenti caratteristiche sul piano V_{DSn}, I_{Dn} e individuiamo l'intersezione.

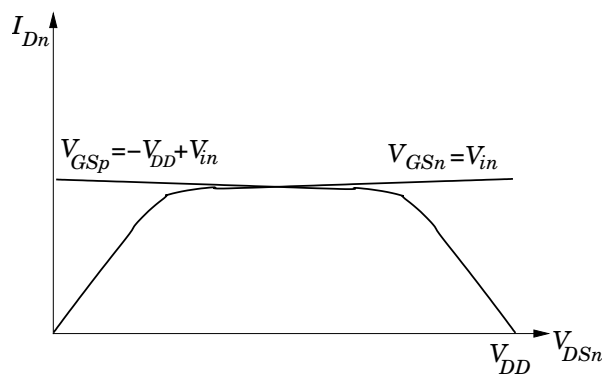


L'intersezione è in corrispondenza del punto $(V_{DSn} = V_{DD}, I_{Dn} = 0)$, per cui, come precedentemente discusso, l'uscita si trova a V_{DD} , quindi a livello logico alto. Questa rimane la situazione finché la tensione di ingresso non raggiunge il livello di soglia per il transistor a canale n e tale transistor comincia a condurre, cosicché la relativa caratteristica sul grafico V_{DSn}, I_{Dn} comincia a sollevarsi, mentre quella del transistor a canale p continua a scendere (dato che $V_{GSp} = -V_{DD} + V_{in}$)

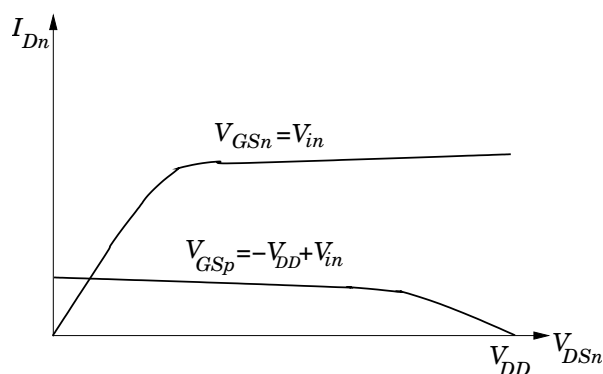
In questa situazione la tensione di uscita comincia a diminuire, il transistor di tipo p è in zona triodo e quello n in saturazione. Se la tensione di ingresso aumenta ulteriormente anche il transistor p raggiunge la condizione di saturazione e la tensione



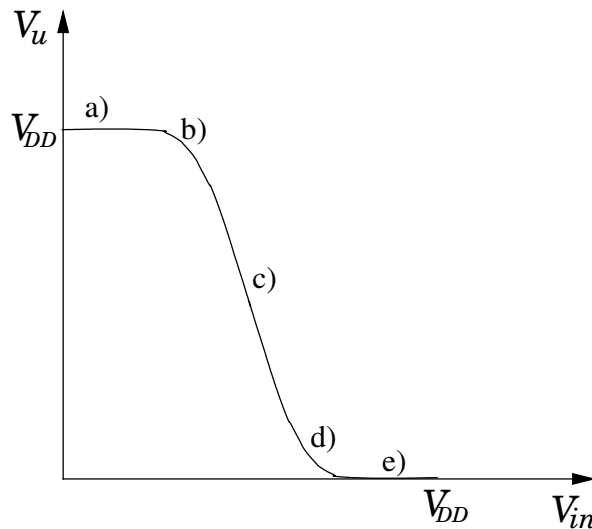
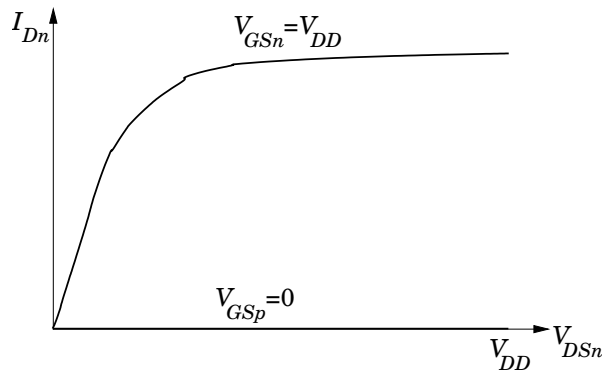
di uscita varia molto rapidamente, data la quasi orizzontalità delle caratteristiche in zona di saturazione, che porta a notevoli spostamenti del punto di intersezione per piccole variazioni di V_{in} .



In corrispondenza di $V_{in} = V_{DD}/2$ le due caratteristiche sono simmetriche. Per un ulteriore incremento della tensione di ingresso, il punto di intersezione si sposta più a sinistra e la tensione di uscita scende al di sotto di $V_{DD}/2$. Per un valore abbastanza alto della tensione di ingresso il transistor n si viene a trovare in zona triodo mentre quello p rimane in saturazione.



Infine, quando il modulo di V_{GSp} scende al di sotto di quello della soglia di conduzione del transistor p , quest'ultimo si interdice e la tensione di uscita diventa nulla. Possiamo quindi tracciare la caratteristica ingresso-uscita dell'inverter CMOS, nella quale individuiamo sostanzialmente cinque zone distinte: una zona a) in cui il transistor n è interdetto e il transistor p è in zona triodo, una zona b) in cui il transistor n è in saturazione e il transistor p è in zona triodo, una zona c) in cui ambedue i transistori sono in saturazione, una zona d) in cui il transistor n è in zona triodo e



il transistor p è in saturazione, una zona e) in cui il transistor n è in zona triodo e il transistor p è interdetto.

La zona c) risulterà tanto più ripida quanto più sarà alta la resistenza differenziale dei transistori nella zona di saturazione. La pendenza della caratteristica ingresso-uscita corrisponde infatti al guadagno del circuito. Vedremo nel paragrafo successivo come la presenza di un guadagno significativo consenta di ottenere la rigenerazione dei livelli logici.

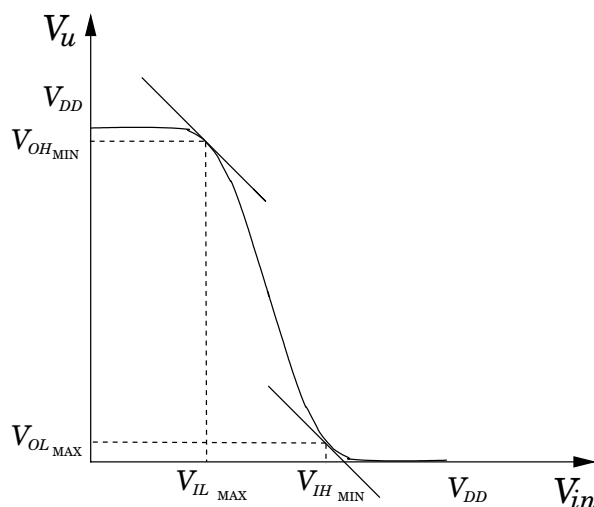
Nella discussione dell'inverter CMOS abbiamo assunto i due transistori tra loro simmetrici: poiché la mobilità delle lacune è significativamente minore di quella degli elettroni, se i transistori fossero costruttivamente simmetrici non lo sarebbero elettricamente. Per questo motivo il transistor a canale p viene realizzato con un rapporto W/L (ricordiamo che W è la larghezza del canale e L è la lunghezza dello stesso, che di solito è uguale per i due transistori) maggiore di quello del transistor n di un fattore corrispondente al rapporto inverso delle mobilità:

$$\frac{\left(\frac{W}{L}\right)_p}{\left(\frac{W}{L}\right)_n} = \frac{\mu_n}{\mu_p}.$$

15.3 Parametri caratteristici dei circuiti digitali

Definiamo ora alcuni dei parametri utilizzati per la caratterizzazione dei circuiti digitali e per determinare l'interoperabilità tra gli stessi. Come abbiamo visto in precedenza, il livello logico 1 viene codificato con una tensione "alta", superiore a una

soglia che definiamo $V_{H_{MIN}}$ e il livello logico 0 con una tensione “bassa”, inferiore a una soglia che definiamo $V_{L_{MAX}}$. Con riferimento alla caratteristica di trasferimento dell’inverter CMOS, identifichiamo i due punti in corrispondenza dei quali la tangente alla caratteristica ha pendenza unitaria: per tensioni di ingresso comprese nell’intervallo tra tali punti il guadagno per piccoli segnali dell’inverter è superiore all’unità, mentre per tensioni di ingresso al di fuori di questo intervallo il guadagno per piccoli segnali risulta minore dell’unità. Ciò significa che al di fuori dell’intervallo in questione variazioni della tensione di ingresso danno luogo a variazioni della tensione di uscita di ampiezza minore. Definiamo $V_{OH_{MIN}}$ la tensione di uscita corrispondente al punto con tangente unitaria più a sinistra e $V_{IL_{MAX}}$ la corrispondente tensione di ingresso. Definiamo altresì $V_{OL_{MAX}}$ la tensione di uscita corrispondente all’altro punto con tangente unitaria e $V_{IH_{MIN}}$ la corrispondente tensione di ingresso.



La tensione di uscita $V_{OH_{MIN}}$ viene assunta come la minima per la quale si considera presente in uscita un 1 logico, mentre $V_{OL_{MAX}}$ è la tensione massima per la quale si considera presente in uscita uno 0 logico. Le tensioni $V_{IH_{MIN}}$ e $V_{IL_{MAX}}$ rappresentano le corrispondenti grandezze in ingresso: si considera presente in ingresso un 1 logico se la tensione è superiore a $V_{IH_{MIN}}$ e si considera invece presente uno 0 logico se la tensione è inferiore a $V_{IL_{MAX}}$.

Notiamo che risultano

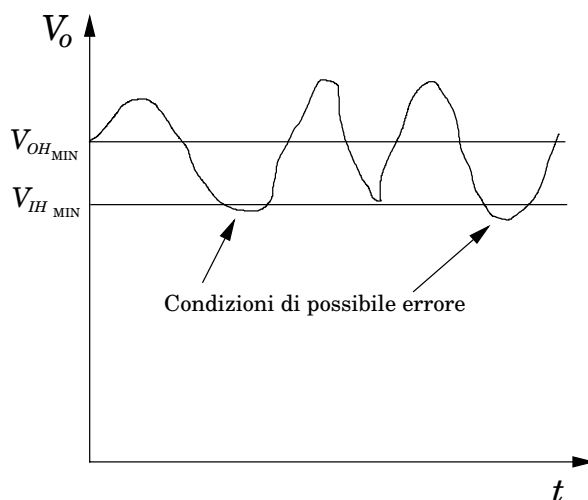
$$V_{OL_{MAX}} < V_{IL_{MAX}},$$

$$V_{OH_{MIN}} > V_{IH_{MIN}},$$

per cui siamo certi che un 1 logico in uscita viene riconosciuto come tale dall’ingresso della porta successiva e che lo stesso accade per uno 0 logico. In sostanza, si ha una “rigenerazione” dei livelli logici, invece di un deterioramento come quello che si verifica nel caso della logica a diodi. Per ottenere tale risultato è necessario che il guadagno del circuito utilizzato per realizzare la porta sia maggiore dell’unità almeno in un intervallo di ampiezza finita di valori della tensione di ingresso, come accade nel caso della porta logica CMOS tra le due tangenti con pendenza unitaria che abbiamo tracciato, infatti una variazione di tensione in ingresso tra gli estremi dell’intervallo di incertezza tra $V_{IL_{MAX}}$ e $V_{IH_{MIN}}$ deve tradursi almeno in una variazione di ampiezza pari al più grande intervallo tra $V_{OL_{MAX}}$ e $V_{OH_{MIN}}$.

Consideriamo ora il problema che deriva dalla presenza di disturbi che possono nascere da accoppiamenti di tipo capacitivo o induttivo con sorgenti esterne. Esaminiamo il caso di due porte in cascata e poniamoci nei due casi peggiori (worst-case)

per i due valori logici di uscita. Nel caso di uscita della prima porta al livello logico 1, supponiamo che questa sia rappresentata da una tensione esattamente pari a $V_{OH_{MIN}}$: se il disturbo sovrapposto a tale tensione ha ampiezza maggiore di $V_{OH_{MIN}} - V_{IH_{MIN}}$, non sarà più garantito il fatto che la seconda porta veda in ingresso un 1 logico. Viceversa, se consideriamo il caso di uno 0 logico in uscita dalla prima porta, non sarà garantito che all'ingresso della seconda porta sia visto uno 0, se l'ampiezza dei disturbi supera $V_{IL_{MAX}} - V_{OL_{MAX}}$.



Si definiscono quindi due parametri, detti margini di rumore sul livello alto (NM_H) e margine di rumore sul livello basso (NM_L), corrispondenti a

$$NM_H = V_{OH_{MIN}} - V_{IH_{MIN}}$$

e

$$NM_L = V_{IL_{MAX}} - V_{OL_{MAX}}.$$

Tali margini di rumore rappresentano l'ampiezza massima accettabile per il rumore totale sovrapposto al segnale logico e danno dunque un'idea dell'immunità ai disturbi offerta da una particolare tecnologia.

Un'altra quantità comunemente usata è rappresentata dall'escursione logica o "logic swing", che risulta definita tramite

$$LS = V_{OH_{MIN}} - V_{OL_{MAX}}.$$

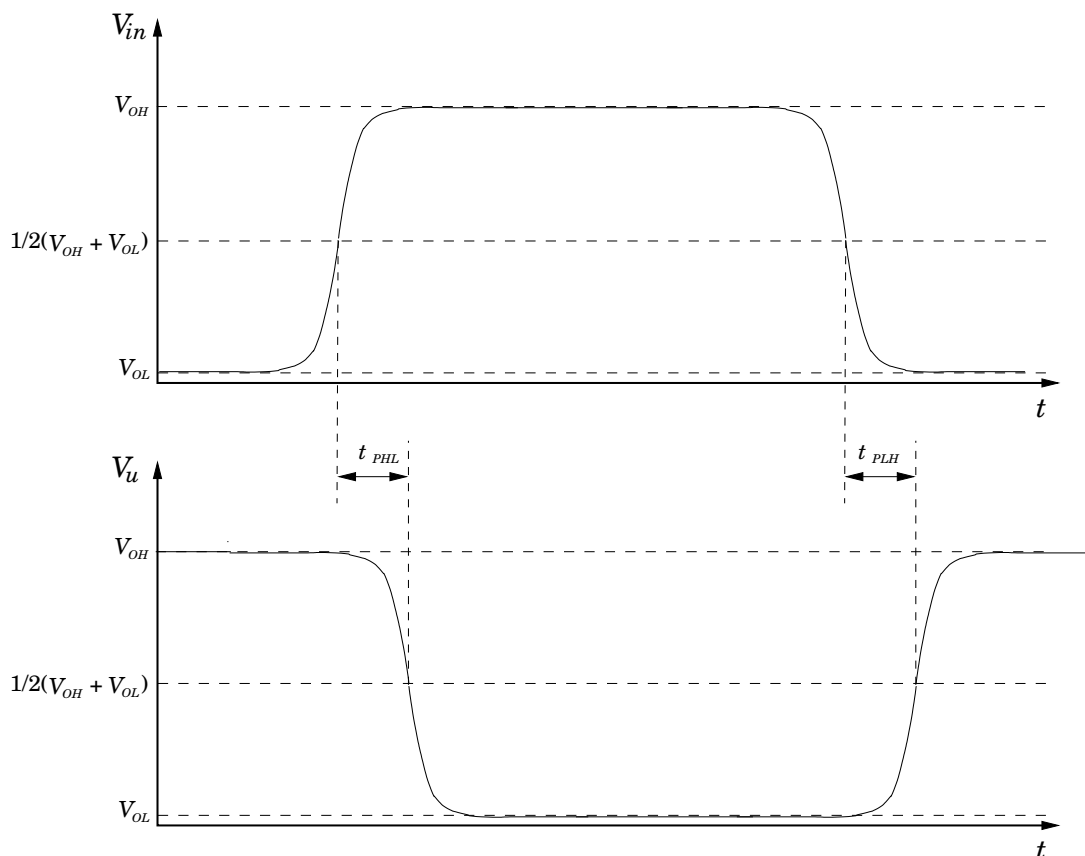
Possiamo anche definire una potenza dissipata, intendendo come tale la potenza che viene dissipata sulla porta in condizioni statiche. Poiché si assume che la porta si trovi il 50% delle volte nello stato alto e il restante 50% nello stato basso, la potenza media dissipata può essere ottenuta mediando le quantità relative ai due stati logici:

$$P_D = \frac{P_{DH} + P_{DL}}{2} = V_{DD} \frac{I_H + I_L}{2},$$

dove I_H e I_L sono, rispettivamente, le correnti assorbite nello stato logico alto e in quello basso dalla sorgente di alimentazione V_{DD} . È importante notare che in genere tale potenza dissipata in condizioni statiche è trascurabile rispetto a quella dissipata

durante i transitori di commutazione da uno stato all'altro, che esamineremo nel seguito.

In conseguenza della presenza di capacità sull'uscita della porta logica, che devono essere caricate per passare da uno stato logico all'altro, la commutazione dell'uscita avviene inevitabilmente con un certo ritardo rispetto a quella dell'ingresso, come illustrato nella figura seguente, per il caso di un inverter.

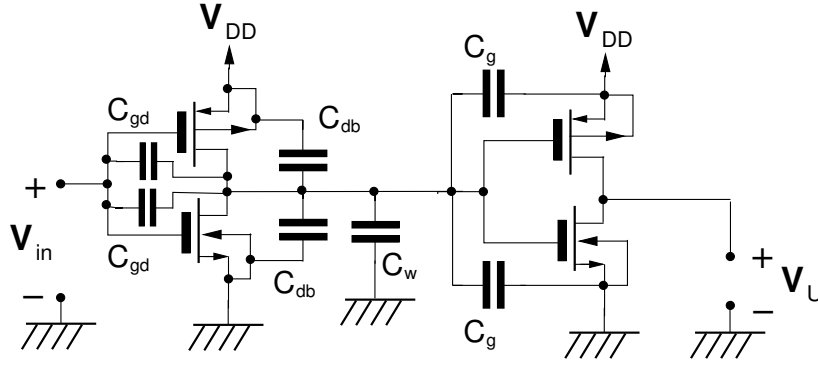


Se si prende come riferimento il valor medio tra il livello logico alto e quello basso in uscita, si può definire un ritardo tra l'istante in cui la tensione di ingresso attraversa il livello di riferimento e quello in cui esso è attraversato dalla tensione di uscita. In generale è possibile che tale ritardo sia diverso quando l'uscita passa dal livello alto a quello basso rispetto a quando l'uscita passa dal livello basso a quello alto: per tale motivo si definiscono due ritardi di propagazione: t_{PHL} per la transizione dal livello alto a quello basso e t_{PLH} per la transizione opposta. Si definisce anche un ritardo medio, corrispondente alla media dei due ritardi

$$t_P = \frac{t_{PHL} + t_{PLH}}{2}.$$

Esaminiamo ora quali sono i vari contributi alla capacità sull'uscita di una porta CMOS, che determina il valore del ritardo di propagazione. Consideriamo due inverter in cascata e vediamo quali sono le capacità che interessano l'uscita del primo e di conseguenza l'ingresso del secondo.

Esistono le capacità C_{db} tra drain e bulk, le quali sono connesse tra il punto a comune dei drain e la massa (per il transistor n) o l'alimentazione positiva (per il transistor p), essendo il bulk di tutti i transistori p in un circuito integrato connesso all'alimentazione positiva e quello di tutti i transistori n alla massa. Da un punto di vista del transitorio, questi due condensatori possono essere considerati in parallelo.



In parallelo a essi sono anche presenti la capacità C_w del collegamento tra l'uscita del primo inverter e l'ingresso del secondo e le due capacità di gate C_g viste sull'ingresso del secondo inverter. Un po' più complesso è il problema relativo al trattamento delle C_{gd} tra gate e drain dei transistori del primo inverter: considerando che, in corrispondenza della commutazione dell'inverter da uno stato all'altro, la tensione ai loro capi varia di $2V_{DD}$, possiamo considerare ragionevole sostituirli con dei condensatori equivalenti tra drain e massa di valore doppio, in modo che, in corrispondenza della variazione di tensione V_{DD} che si ha sull'uscita, la variazione di carica sugli stessi sia pari a quella sui C_{gd} . Si ottiene così una capacità totale equivalente in uscita al primo inverter pari a

$$C_{out} = 4C_{gd} + 2C_{db} + C_w + 2C_g.$$

Tale capacità C_{out} viene caricata, durante la transizione dal livello basso a quello alto, dal transistore p , che agisce come una resistenza di basso valore e, analogamente, viene scaricato dal transistore n durante il transitorio dal livello alto a quello basso. Si ha quindi, in ambedue i casi, un transitorio di tipo esponenziale. Se i due transistori presentano, nello stato "ON", resistenze pressoché uguali (avendo scelto le W/L nel rapporto inverso delle mobilità), i due transistori sono sostanzialmente simmetrici.

Vediamo come è possibile calcolare la potenza che viene dissipata dall'inverter durante la commutazione, in conseguenza del fenomeno di carica del condensatore di uscita. Nella transizione dal livello alto a quello basso si parte da un condensatore C_{out} carico a V_{DD} , che viene scaricato attraverso il transistore n . Quindi la dissipazione di energia corrisponde all'energia elettrostatica che era immagazzinata nel condensatore:

$$E_{HL} = \frac{1}{2}C_{out}V_{DD}^2.$$

Durante la transizione dal livello basso a quello alto il condensatore C_{out} , inizialmente scarico, viene caricato a V_{DD} . Il caricamento avviene attraverso il transistore p , che agisce come una resistenza di basso valore. L'energia assorbita dall'alimentazione V_{DD} nel transitorio, che immaginiamo duri da $t = 0$ a $t = T$, è data da

$$E_{PS} = \int_0^T V_{DD}i(t)dt = V_{DD}Q = V_{DD}CV_{DD} = CV_{DD}^2.$$

L'energia immagazzinata nel condensatore al termine del transitorio di carica risulterà

$$E_C = \frac{1}{2}C_{out}V_{DD}^2,$$

quindi l'energia dissipata nel transitorio stesso sarà pari alla differenza tra E_{PS} e E_C :

$$E_{LH} = E_{PS} - E_C = \frac{1}{2}C_{out}V_{DD}^2,$$

pertanto l'energia dissipata è la stessa nei due transistori. Se supponiamo che l'inverter venga commutato tra i due stati a una frequenza f la potenza dissipata risulterà $P_{\text{din}} = fC_{\text{out}}V_{DD}^2$. Sottolineiamo il fatto che durante la commutazione dell'inverter una certa quantità di energia viene dissipata anche in conseguenza del fatto che i transistori lavorano per un breve periodo con un prodotto tensione drain-source per corrente di drain non trascurabile. Non calcoliamo questo contributo alla dissipazione perché esso risulta in genere ordini di grandezza minore di quello associato al caricamento della capacità di uscita.

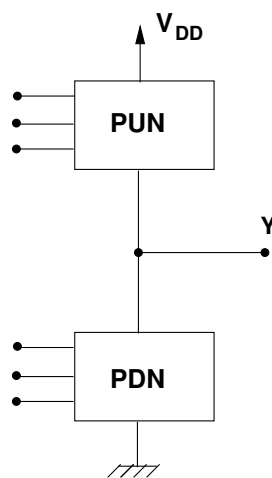
È possibile definire una cifra di merito consistente nel prodotto tra la potenza dissipata e il ritardo di propagazione (delay-power product), che tende a essere una costante per una data famiglia logica: $DP = P_{\text{din}}t_P$. Sostanzialmente il delay-power product ci dà un'indicazione della potenza dissipata durante ogni ciclo di clock, quindi nel caso dei CMOS risulta circa pari a $C_{\text{out}}V_{DD}^2$.

Si definisce fan-out il numero di ingressi che possono essere pilotati dall'uscita di una porta. Il fan-out è limitato, per la tecnologia CMOS, soprattutto dalla necessità di contenere il ritardo di propagazione, che aumenta all'aumentare della capacità in uscita, associata a un numero crescente di ingressi pilotati. Soprattutto in altri famiglie logiche (come la TTL che vedremo più avanti) il fan-out è limitato dal fatto che incrementando il numero di ingressi connessi a una uscita risulta incrementata V_{OL} e risulta diminuita V_{OH} , ottenendo come conseguenza un peggioramento dei margini di rumore.

Con fan-in si indica il numero massimo di ingressi che una porta logica può avere. Anche questo è limitato da considerazioni sulla velocità di commutazione e sui margini di rumore, come vedremo più in dettaglio in seguito.

15.4 Sintesi delle porte CMOS

Una porta logica CMOS consiste in una generalizzazione dell'inverter CMOS che abbiamo studiato finora. Così come l'inverter è costituito da un transistor PMOS e da un transistor NMOS che possono connettere l'uscita, rispettivamente, all'alimentazione o a massa, una porta CMOS è costituita da due reti che possono connettere l'uscita a massa (PDN, pull-down network) oppure alla tensione di alimentazione (PUN, pull-up network) a seconda del valore delle variabili di ingresso.

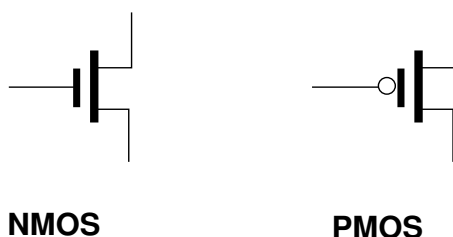


La PDN condurrà per tutte le combinazioni delle variabili di ingresso che richiedono un'uscita a livello basso, mentre la PUN condurrà per tutte quelle combinazioni che richiedono un'uscita al livello alto. Chiaramente, per quelle combinazioni per cui la

PDN conduce la PUN è un circuito aperto e per tutte le combinazioni per cui la PUN conduce la PDN è un circuito aperto.

Poiché la PDN è realizzata con una combinazione di transistori NMOS, questa verrà attivata per particolari scelte dei segnali di ingresso a livello alto. La PUN viene invece realizzata con una combinazione di transistori PMOS e quindi potrà essere attivata da opportune combinazioni degli ingressi a livello basso. Ciascuna delle due reti impiega combinazioni di transistori in serie per implementare funzioni di tipo AND e combinazioni di transistori in parallelo per implementare funzioni di tipo OR.

Prima di vedere alcuni esempi di PUN e di PDN, introduciamo dei simboli alternativi semplificati per i transistori PMOS e NMOS, che vengono di solito utilizzati negli schemi delle porte CMOS. Il transistore PMOS viene indicato con un cerchio sul gate che ricorda la negazione del valore logico.

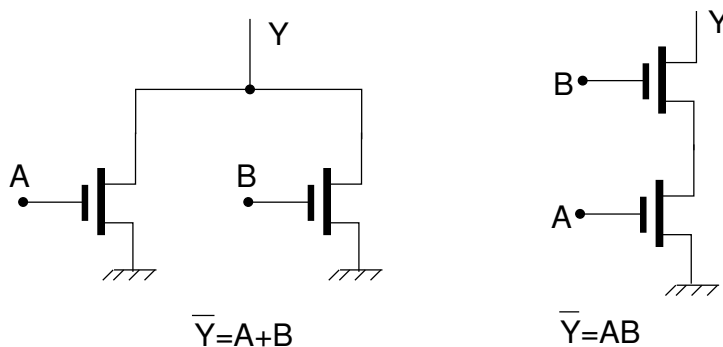


Una PDN costituita da due transistori NMOS in parallelo implementa la funzione logica

$$\bar{Y} = A + B,$$

mentre due transistori in serie forniscono la funzione logica

$$\bar{Y} = AB.$$



Se combiniamo in parallelo un transistore con la serie di altri due possiamo ottenere la funzione logica

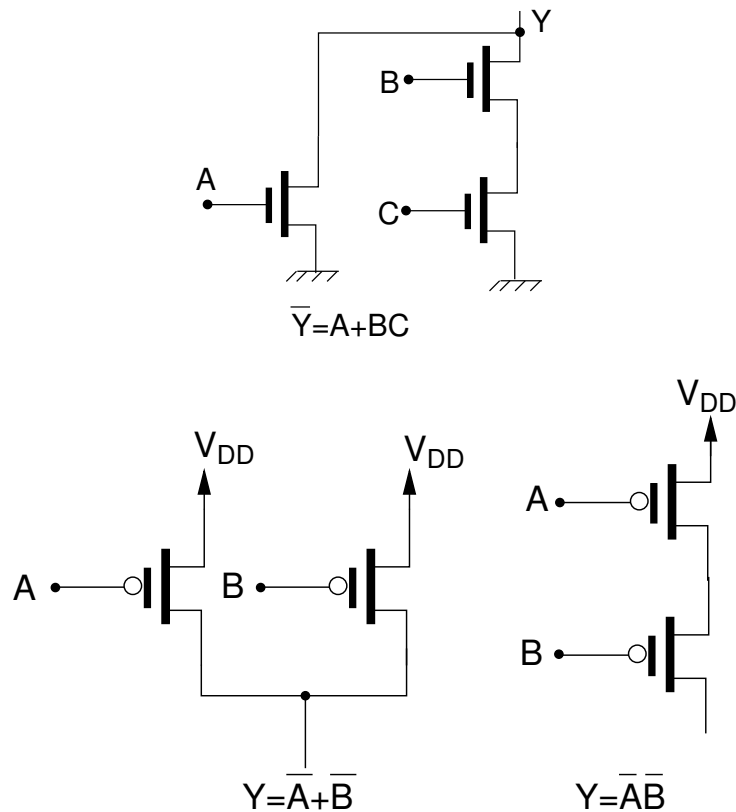
$$\bar{Y} = A + BC.$$

Per quanto riguarda invece le PUN, due transistori in parallelo danno una funzione logica

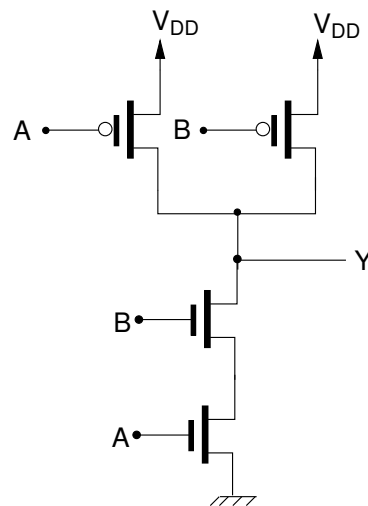
$$Y = \bar{A} + \bar{B},$$

mentre due transistori in serie danno

$$Y = \bar{A} \bar{B}.$$



Combinazioni di più transistori in serie e in parallelo sono possibili anche in questo caso, allo scopo di ottenere funzioni logiche più complesse. Riassumendo, la PDN può essere progettata a partire da un'espressione della variabile di uscita negata in funzione delle variabili di ingresso non negate. Viceversa, la PUN può essere progettata a partire da un'espressione della variabile di uscita non negata in funzione delle variabili di ingresso negate.



Vediamo come si fa a realizzare una porta NAND a due ingressi: la funzione logica del NAND è

$$Y = \overline{AB}.$$

Usando le leggi di De Morgan cerchiamo di esprimere la funzione di uscita negata in funzione delle variabili di ingresso non negate (per la PDN) e quella non negata in

funzione delle variabili di ingresso negate (per la PUN).

$$Y = \bar{A} + \bar{B},$$

$$\bar{Y} = AB.$$

Quindi la PDN deve essere formata da due NMOS in serie e la PUN da due PMOS in parallelo.

Prendiamo poi in considerazione la porta NOR a due ingressi, che ha una funzione logica

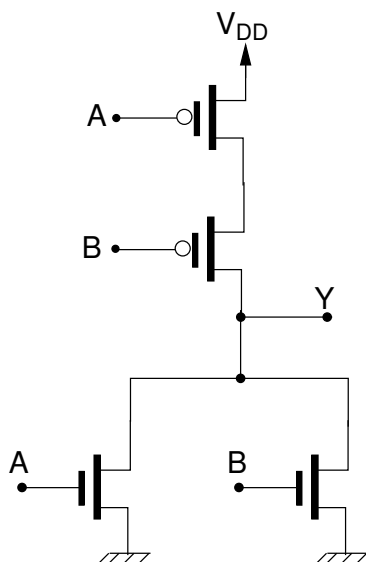
$$Y = \overline{A + B}.$$

Le funzioni per la PDN e per la PUN sono

$$\bar{Y} = A + B,$$

$$Y = \bar{A} \bar{B}.$$

Quindi la PDN deve essere formata da due NMOS in parallelo e la PUN da due PMOS in serie.



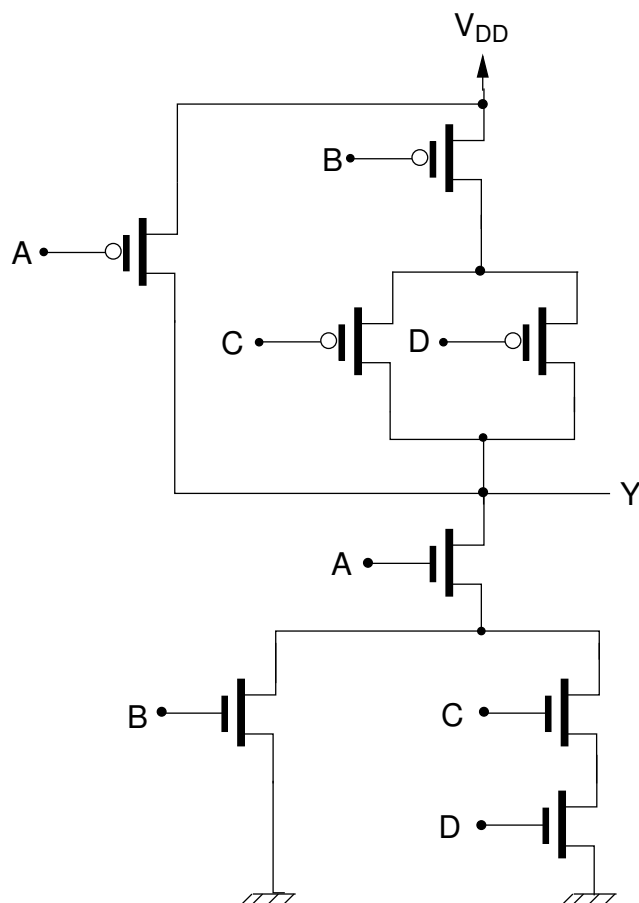
Con la stessa tecnica si possono sintetizzare anche porte più complesse. Per esempio, consideriamo la funzione logica $Y = \overline{A(B + CD)}$. Possiamo svilupparla usando le leggi di De Morgan, in modo da ottenere un'espressione dell'uscita non negata in funzione delle variabili negate

$$\begin{aligned} Y &= \overline{A(B + CD)} \\ &= \bar{A} + \overline{B + CD} \\ &= \bar{A} + \bar{B} \bar{CD} \\ &= \bar{A} + \bar{B}(\bar{C} + \bar{D}), \end{aligned}$$

mentre l'uscita negata in funzione delle variabili non negate si ottiene immediatamente negando ambo i membri

$$\bar{Y} = A(B + CD).$$

Da tali relazioni possono essere immediatamente sintetizzate la PUN e la PDN, ottenendo il circuito riportato di seguito.



Nelle porte viste finora la PDN e la PUN sono reti tra loro duali: se nell'una c'è un ramo in serie, nell'altra ce n'è uno corrispondente in parallelo e viceversa. Quindi l'una può essere ottenuta dall'altra con una procedura piuttosto semplice, senza la necessità di sintetizzarle indipendentemente. Si può partire dalla rete per la quale è più semplice ottenere l'espressione logica.

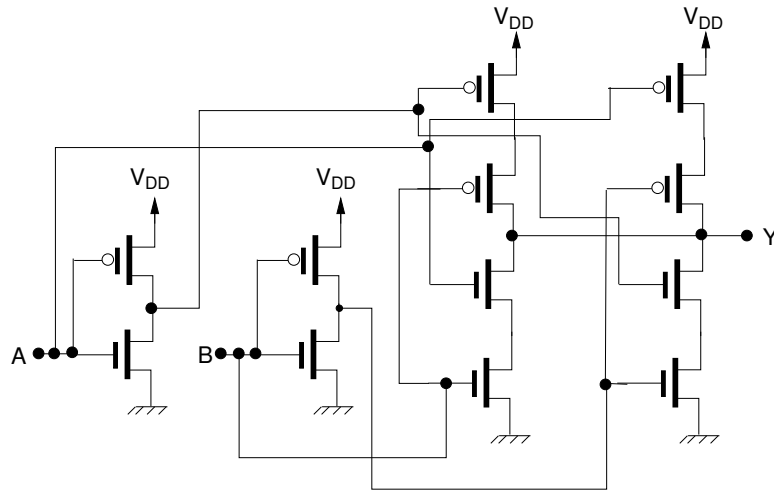
La procedura di sintesi vista finora non è però generale, infatti esistono molti casi in cui non è possibile ottenere, per esempio, un'espressione dell'uscita non negata in funzione delle sole variabili di ingresso negate. Un esempio abbastanza semplice di questo fatto è costituito dall'espressione logica per una porta OR esclusivo (XOR):

$$Y = A\bar{B} + \bar{A}B.$$

Possiamo realizzare la PUN utilizzando come ingressi della stessa non solo le variabili negate, ma anche quelle non negate. Per sintetizzare la PDN potremmo ricavare la rete duale della PUN o utilizzare ancora una volta le leggi di De Morgan:

$$\begin{aligned} \bar{Y} &= \overline{A\bar{B} + \bar{A}B} \\ &= \overline{A\bar{B}} \overline{\bar{A}B} \\ &= (\bar{A} + B)(A + \bar{B}) \\ &= \bar{A}A + \bar{A}\bar{B} + BA + B\bar{B} \\ &= \bar{A}\bar{B} + AB. \end{aligned}$$

Otteniamo quindi la rete seguente, nella quale abbiamo ricavato le variabili complementate tramite due inverter aggiuntivi:



Una volta determinato lo schema della porta che si intende progettare, resta soltanto da stabilire il valore di W/L per i vari transistori. Di solito questa scelta viene fatta in modo da garantire che la porta sia in grado nel caso più critico (worst case) di fornire la stessa corrente al condensatore equivalente in uscita, sia di carica sia di scarica, dell'inverter semplice.

Questo, in principio, garantirebbe un ritardo di propagazione per un gate generico minore o uguale di quello dell'inverter; in realtà la situazione non è esattamente questa, poiché la capacità totale effettivamente presente dipende da un numero di fattori, tra i quali è importante il fan-in, cioè il numero degli ingressi.

Indichiamo con p il rapporto W/L per il transistore PMOS dell'inverter e con n quello del transistore NMOS, sempre dell'inverter. Ricordiamo che la lunghezza L è sempre la stessa per i due transistori. Se, per esempio, scegliamo il valore 2 per n , $p = (\mu_n/\mu_p)n = 5$, se consideriamo il rapporto tra le mobilità pari a 2.5.

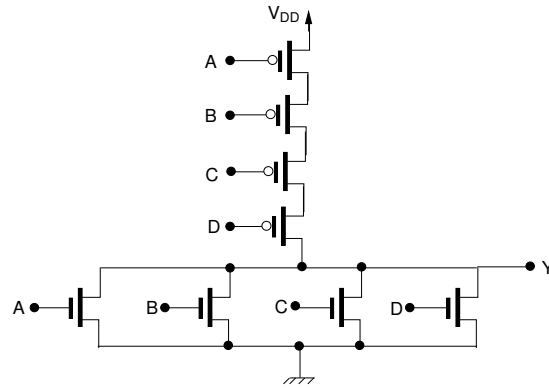
Per svolgere il calcolo del W/L relativo a ciascun transistore è necessario innanzitutto sapere qual è il W/L equivalente di una combinazione di transistori. Se i transistori sono connessi in parallelo, corrisponderanno a un transistore con una larghezza equivalente pari alla somma delle larghezze e quindi con un W/L pari alla somma dei W/L . Se invece i transistori si trovano in serie tra loro, la resistenza equivalente R_{eq} sarà pari alla somma delle varie resistenze di canale R_i , e quindi, poiché la resistenza è inversamente proporzionale a W/L ,

$$R_{eq} = \sum_i R_i = \sum_i \frac{\text{const}}{(W/L)_i} = \frac{\text{const}}{(W/L)_{eq}}.$$

Quindi

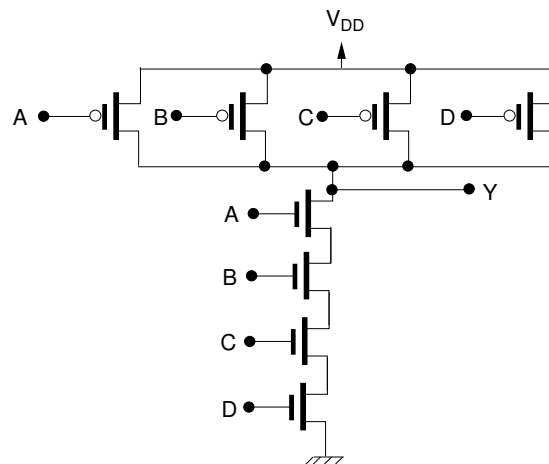
$$(W/L)_{eq} = \left[\sum_i \frac{1}{(W/L)_i} \right]^{-1}.$$

Consideriamo, per esempio, il NOR a quattro ingressi di cui viene di seguito riportato lo schema. Nella PDN il caso peggiore dal punto vista del pilotaggio della capacità di uscita si ha quando è alta una sola delle variabili di ingresso e quindi conduce solo un transistore. Ciascuno dei transistori della PDN dovrà quindi essere di dimensioni almeno pari a quelle del transistore NMOS di un inverter, pertanto



$(W/L)_n = n = 2$. Per quanto riguarda la PUN, vediamo che essa conduce solo se sono attivi tutti e quattro i transistori, i quali si trovano fra loro in serie, quindi $(W/L)_p = 4p = 20$.

Consideriamo poi il caso della porta NAND a quattro ingressi, riportato nello schema che segue. Per quanto riguarda la PUN, lo worst case si ha quando conduce un solo transistore, quindi $(W/L)_p = p = 5$. Per la PDN, invece, si ha passaggio di corrente solo se sono attivi tutti e quattro i MOS, quindi $(W/L)_n = 4n = 8$.



Possiamo ora stimare l'area delle porte NAND e NOR a quattro ingressi, ricordando che l'area del singolo transistore è pari a WL . Per il NOR abbiamo quindi: $A = 4nL^2 + 16pL^2 = 88L^2$. Per il NAND abbiamo invece: $A = 4pL^2 + 16nL^2 = 52L^2$. Ne consegue che i NAND in tecnologia CMOS occupano un'area nettamente inferiore rispetto ai NOR ed è per questo che nella sintesi di reti combinatorie con circuiti CMOS si preferisce utilizzare approcci basati sull'utilizzo di NAND piuttosto che di NOR.

Per concludere menzioniamo nuovamente il fatto che l'ottenimento della stessa capacità di fornire corrente dell'inverter semplice non garantisce che il tempo di ritardo risulti invariato rispetto all'inverter, perché la capacità totale aumenta, in conseguenza della maggiore complessità del circuito e dell'incrementato numero di transistori. L'aumento del fan-in porta infatti a un significativo incremento della capacità ed è per questo motivo che di solito non vengono realizzati NAND con più di quattro ingressi. Si preferisce infatti, nel caso siano necessari più di quattro ingressi, ricorrere a più livelli di logica, che rappresentano il miglior compromesso.