

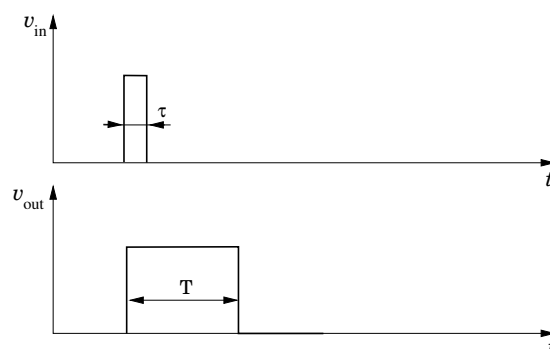
## 18. Circuiti monostabili, astabili e generazione di segnali di clock

### 18.1 Introduzione

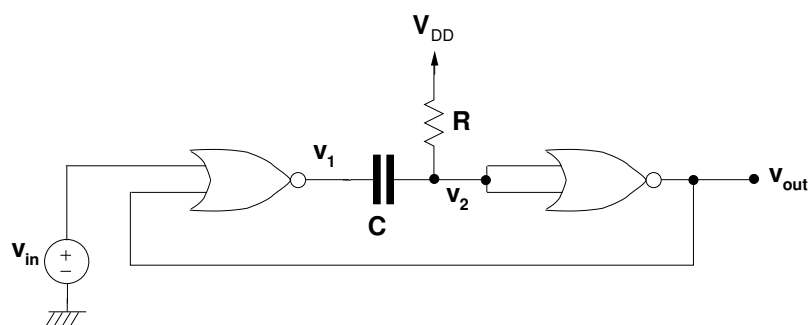
Prenderemo in esame vari circuiti basati su porte logiche e pochi componenti passivi esterni che consentono di produrre impulsi di durata prefissata, forme d'onda quadre e rettangolari, segnali di clock. Vedremo anche l'utilizzo del circuito integrato NE555 che è un interessante esempio di combinazione di funzioni digitali e analogiche e ha rilevante interesse applicativo.

### 18.2 Multivibratore monostabile

Il multivibratore monostabile, come suggerito dal nome, ha uno stato stabile dal quale può essere spostato tramite una perturbazione esterna e al quale poi ritorna una volta trascorso un intervallo di tempo determinato. Se consideriamo un monostabile per il quale la condizione stabile corrisponde al livello basso, avremo un comportamento come quello descritto nella figura seguente: l'uscita si trova normalmente al livello basso, finché in ingresso non si presenta un impulso di breve durata, il quale determina il passaggio dell'uscita al livello alto per un tempo  $T$  determinato dalle caratteristiche interne del monostabile e indipendente dalla durata  $\tau$  dell'impulso di ingresso, purché questa sia minore di  $T$  e maggiore di un valore minimo necessario per causare la commutazione.



Una possibile realizzazione circuitale di un monostabile basato su porte logiche è riportata nello schema che segue, nel quale compaiono due porte NOR e due elementi passivi.



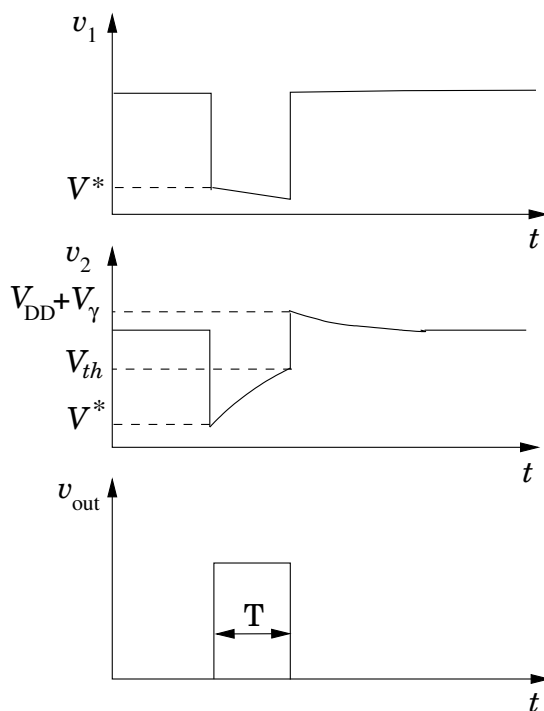
Per l'analisi del circuito facciamo l'ipotesi che siano presenti diodi di protezione agli ingressi delle porte, ma che non sia presente alcuna resistenza di protezione in serie o che tale resistenza sia di valore trascurabile. Cerchiamo innanzitutto di individuare

quale sia lo stato stabile del circuito: in condizioni di regime la resistenza  $R$  porterà l'ingresso del secondo NOR (usato semplicemente come inverter) al livello alto, caricando o scaricando opportunamente il condensatore  $C$ ; quindi nello stato stabile l'uscita sarà a livello basso. Di conseguenza, poiché in condizioni di riposo l'ingresso è anch'esso a livello basso, l'uscita  $v_1$  del primo NOR sarà a livello alto e il condensatore  $C$  sarà scarico, avendo ambedue le armature a livello alto. Se in ingresso si presenta un impulso a livello alto, l'uscita del primo NOR commuta a livello basso, ma non raggiunge esattamente il valore nullo, poiché il transistor di pull-down all'uscita di tale NOR avrà una resistenza  $R_{ON}$  diversa da zero. Quindi la tensione  $v_1$ , subito dopo la commutazione, sarà pari a

$$V^* = V_{DD}R_{ON}/(R + R_{ON})$$

e quindi la sua variazione, rispetto all'istante immediatamente precedente, risulterà

$$\Delta v_1 = \frac{R}{R + R_{ON}}V_{DD}.$$



La tensione  $v_2$  subirà istantaneamente la stessa variazione, data l'inerzialità del condensatore  $C$  rispetto alla tensione, dopodiché inizierà a salire con legge esponenziale, a causa del transitorio di carica di  $C$ , tendendo a  $V_{DD}$ . Peraltro, quando  $v_2$  raggiungerà la soglia di commutazione  $V_{th}$  dell'inverter rappresentato dal secondo NOR, l'uscita passerà di nuovo al livello basso, determinando la commutazione del primo NOR, la cui uscita  $v_1$  non potrà però raggiungere istantaneamente il valore  $V_{DD}$ , poiché la variazione di tensione su  $v_1$  deve essere uguale a quella su  $v_2$  (data l'inerzialità del condensatore) e quest'ultima non può superare  $V_{DD} + V_\gamma$ , a causa della presenza all'ingresso della porta di diodi di protezione. Quindi sia la  $v_1$  sia la  $v_2$  possono variare istantaneamente solo di una quantità pari a  $V_{DD} + V_\gamma - V_{th}$ . È da notare che la  $v_1$  raggiungerà poi il valore  $V_{DD}$  molto velocemente, dato che la costante di tempo

del transitorio relativo risulta pari al prodotto di  $C$  per la somma della  $R_{ON}$  (questa volta dovuta alla rete di pull-up della prima porta) e della resistenza del diodo (in conduzione) di protezione della seconda porta. Tali resistenze sono molto piccole, quindi la costante di tempo è trascurabile sulla scala del grafico rappresentato, per cui il ritorno di  $v_1$  a  $V_{DD}$  è praticamente istantaneo. Il ritorno di  $v_2$  a  $V_{DD}$  è invece più lento, poiché, non appena la tensione  $v_2$  scende al di sotto di  $V_{DD} + V_\gamma$ , i diodi di protezione risultano interdetti e la costante di tempo diventa molto più lunga dato che è pari al prodotto di  $C$  per la somma di  $R$  e di  $R_{ON}$ . Il monostabile sarà pronto a ricevere un nuovo impulso di trigger in ingresso solo quando  $v_2$  sarà tornata a  $V_{DD}$  (se desideriamo che il periodo per cui l'uscita rimane alta sia esattamente  $T$ ): si parla quindi di un tempo di "recovery" che deve trascorrere dopo il termine dell'impulso di uscita prima che il monostabile sia pronto per operare nuovamente.

Procediamo ora a determinare l'effettiva durata  $T$  dell'impulso di uscita del monostabile. Si tratta di studiare il transitorio di carica del condensatore  $C$ . La tensione iniziale su  $v_2$  risulta  $V_i = V^*$  e quella finale a cui tenderebbe  $v_2$  è  $V_f = V_{DD}$ . Dobbiamo determinare il valore dell'intervallo di tempo  $T$  trascorso il quale  $v_2$  raggiunge il valore  $V_{th}$  di commutazione, che possiamo porre pari a  $V_{DD}/2$ . L'espressione del transitorio risulta:

$$\begin{aligned} v_2(t) &= V_f + (V_i - V_f)e^{-t/\tau} \\ &= V_{DD} + (V^* - V_{DD})e^{-t/\tau} \\ &= V_{DD} - V_{DD} \frac{R}{R + R_{ON}} e^{-t/\tau}, \end{aligned}$$

dove  $\tau = C(R + R_{ON})$ , dato che la resistenza vista da  $C$  è  $R + R_{ON}$ .

Poiché all'istante  $T$  viene raggiunta la tensione di soglia  $V_{th}$ , possiamo scrivere

$$V_{th} = V_{DD} - V_{DD} \frac{R}{R + R_{ON}} e^{-T/\tau},$$

che, con semplici passaggi, diventa

$$\frac{V_{DD}}{V_{DD} - V_{th}} \cdot \frac{R}{R + R_{ON}} = e^{T/\tau}$$

e quindi

$$T = (R + R_{ON})C \ln \left( \frac{V_{DD}}{V_{DD} - V_{th}} \cdot \frac{R}{R + R_{ON}} \right).$$

Osserviamo che la presenza dei diodi tagliatori non influenza il calcolo di  $T$ , dato che essi entrano in gioco solo quando l'uscita del monostabile torna al livello basso. Se assumiamo trascurabile il valore di  $R_{ON}$ , possiamo scrivere

$$T = RC \ln \left( \frac{V_{DD}}{V_{DD} - V_{th}} \right)$$

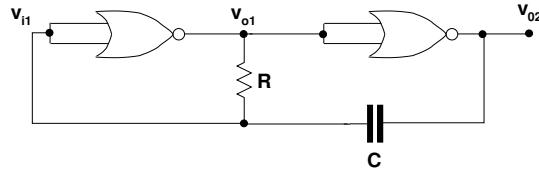
e, se assumiamo  $V_{th} = V_{DD}/2$ ,

$$T = RC \ln 2.$$

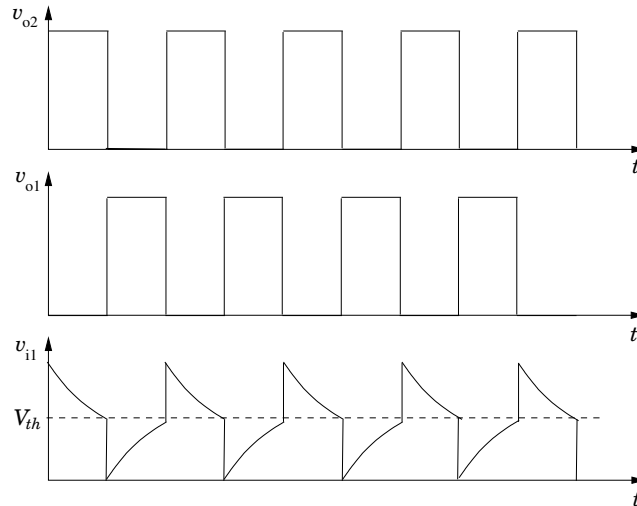
Il tempo di recovery che dobbiamo attendere prima di poter riutilizzare il monostabile, corrispondente al tempo necessario per riportare  $v_2$  a  $V_{DD}$ , è pari ad alcune costanti di tempo  $RC$  (se  $R_{ON}$  è trascurabile rispetto a  $R$ ).

### 18.3 Multivibratore astabile

È possibile, con l'utilizzo di porte logiche e di pochi altri componenti, ottenere anche dei multivibratori astabili, di cui forniamo un esempio nella figura seguente, dove sono indicati dei NOR, che svolgono peraltro la funzione di semplici NOT.



Analizziamo il comportamento del circuito facendo le ipotesi semplificative che la  $R_{ON}$  di uscita delle porte sia nulla e che i diodi di protezione sugli ingressi siano ideali, con  $V_\gamma = 0$  e senza alcuna resistenza in serie. Supponiamo di partire da una condizione in cui l'ingresso del primo NOT ( $v_{i1}$ ) è superiore alla soglia di commutazione  $V_{th}$ : in tal caso l'uscita  $v_{o1}$  del primo NOT è a livello basso e quella  $v_{o2}$  del secondo NOT è a livello alto. Il condensatore tende quindi a caricarsi (con polarità positiva a destra e negativa a sinistra), finché  $V_{i1}$  non raggiunge il valore  $V_{th}$ . A questo punto  $v_{o1}$  passa a  $V_{DD}$  e  $v_{o2}$  passa a 0.



In assenza dei diodi di protezione sugli ingressi, la tensione  $v_{i1}$  scenderebbe a un valore pari a  $V_{th} - V_{DD}$ , data l'inerzialità del condensatore alle variazioni di tensione (la tensione sul terminale a destra del condensatore subisce una variazione da  $V_{DD}$  a 0, quindi quello a sinistra dovrebbe subire un'identica variazione), tuttavia i diodi di protezione impediscono che  $v_{i1}$  diventi negativa e quindi si raggiunge semplicemente lo zero. Istantaneamente anche  $v_{o2}$  non può subire una variazione maggiore di quella di  $v_{i1}$ , ma raggiunge poi lo zero con una costante di tempo molto veloce (analoga a quella già vista per il transitorio di  $v_{i1}$  nel caso del monostabile) e trascurabile sulla scala del periodo del segnale di uscita. A questo punto il condensatore  $C$  comincia a caricarsi con polarità positiva a sinistra e negativa a destra, finché  $v_{i1}$  non raggiunge il valore  $V_{th}$ : ciò determina una nuova commutazione delle due porte, quindi  $v_{o1}$  passa a zero e  $v_{o2}$  risale a  $V_{DD}$ . In assenza dei diodi di protezione  $v_{i1}$  raggiungerebbe il valore  $V_{th} + V_{DD}$ , ma, proprio per l'azione di tali diodi, non può salire oltre  $V_{DD}$ . Da questo momento in poi inizia un nuovo ciclo, con una diminuzione della tensione  $v_{i1}$  fino al raggiungimento di  $V_{th}$ , ecc. Per completezza va detto che, essendo la resistenza per la limitazione di corrente posta in serie agli ingressi delle porte di valore abbastanza elevato, l'effettiva tensione raggiungibile ai terminali di ingresso delle porte logiche è

sostanzialmente la stessa che si avrebbe senza diodi di protezione: potremmo quindi trascurare completamente l'effetto di tali diodi, ottenendo risultati un po' diversi per i calcoli che seguono.

Procediamo ora alla determinazione del periodo della forma d'onda prodotta da questo circuito, definendo  $T_1$  la porzione del periodo in cui l'uscita si trova a livello logico basso e  $T_2$  la restante porzione. Nel transitorio relativo a  $T_1$  la tensione  $v_{i1}$  varia secondo il transitorio

$$v_{i1} = V_{DD} \left(1 - e^{-t/\tau}\right),$$

dove  $\tau$  è la costante di tempo  $RC$ . Poiché la commutazione avviene quando  $v_{i1}$  raggiunge  $V_{th}$ , abbiamo:

$$\frac{V_{DD} - V_{th}}{V_{DD}} = e^{-T_1/\tau}.$$

Pertanto

$$T_1 = RC \ln \frac{V_{DD}}{V_{DD} - V_{th}}.$$

Calcoliamo poi  $T_2$ : poiché durante  $T_2$  la tensione su  $v_{i1}$  scende da  $V_{DD}$ , tendendo a 0, possiamo scrivere

$$v_{i1} = V_{DD} e^{-t/\tau}.$$

Dato che la commutazione si verifica quando  $v_{i1}$  raggiunge  $V_{th}$ ,

$$V_{th} = V_{DD} e^{-T_2/\tau}.$$

Quindi

$$\frac{V_{th}}{V_{DD}} = e^{-T_2/\tau},$$

per cui

$$T_2 = RC \ln \frac{V_{DD}}{V_{th}}.$$

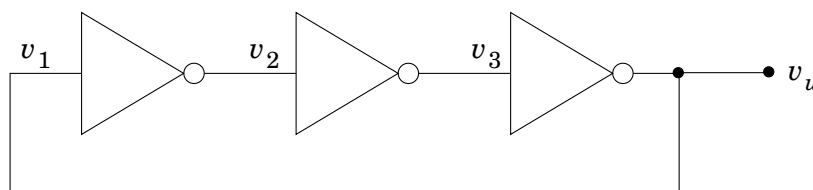
Il periodo totale sarà dato dalla somma di  $T_1$  e  $T_2$ :

$$T = T_1 + T_2 = RC \left[ \ln \left( \frac{V_{DD}}{V_{DD} - V_{th}} \cdot \frac{V_{DD}}{V_{th}} \right) \right].$$

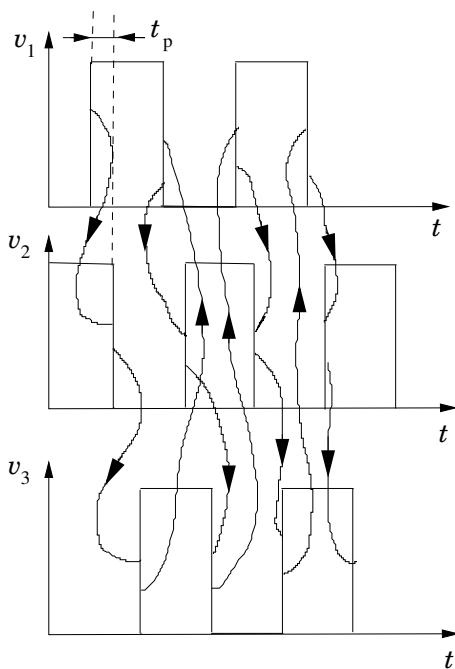
Nel caso in cui sia  $V_{th} = V_{DD}/2$ ,  $T_1$  e  $T_2$  risultano tra loro uguali e la forma d'onda in uscita è quadra, con periodo  $T = RC \ln 4$ . Se si ripettesse lo stesso calcolo senza considerare l'azione dei diodi di protezione (assumendo la presenza di resistenze elevate in serie agli ingressi) otterremmo  $T = 2RC \ln 3$ .

## 18.4 Oscillatore ad anello

Se si pongono in cascata un numero dispari di circuiti NOT e poi si riporta l'uscita dell'ultimo all'ingresso del primo è possibile realizzare un particolare tipo di generatore di onda quadra detto oscillatore ad anello (ring oscillator). Esaminiamone il funzionamento prendendo in considerazione il caso di tre soli inverter in cascata (di solito se ne utilizzano almeno 5), in modo da rendere la trattazione abbastanza semplice.



Supponiamo di avere un fronte di salita su  $v_1$ : questo si trasformerà, su  $v_2$ , in un fronte di discesa ritardato di un tempo pari al ritardo di propagazione  $t_p$ ; dopo un ulteriore intervallo  $t_p$  avremo un fronte di salita su  $v_3$  e, infine, dopo  $3t_p$ , un fronte di discesa arriverà su  $v_1$ . Tale fronte di discesa si propagherà attraverso la catena di inverter, fino a ripresentarsi come fronte di salita su  $v_1$  dopo un altro intervallo pari a  $3t_p$ . Ne consegue che il circuito in esame produce un'onda quadra con un periodo pari a  $6t_p$  e quindi con frequenza  $1/(6t_p)$ . Se si ha un numero  $N$  di inverter (che deve essere dispari perché il comportamento descritto abbia luogo), otteniamo una frequenza pari a  $1/(2Nt_p)$ .



Quindi un oscillatore ad anello può rappresentare un modo molto semplice per misurare il ritardo di propagazione di un particolare inverter. La misura di una frequenza relativamente bassa (se si usa un numero sufficiente di inverter) è infatti un'operazione nettamente più semplice della misura di un ritardo molto piccolo.

### 18.5 Oscillatori quarzati

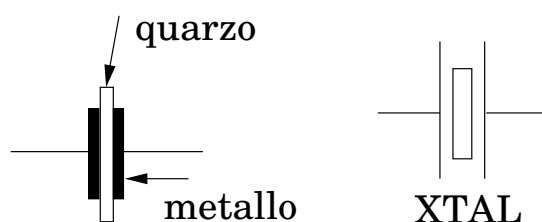
I generatori di forme d'onda che abbiamo visto finora sono adatti (eccetto quelli ad anello) a raggiungere frequenze non molto elevate (al più una decina di kHz) e la loro frequenza di lavoro dipende fortemente dal valore di elementi circuitali che presentano notevoli derive in funzione della temperatura. Quindi, se vogliamo ottenere un segnale di clock a frequenza elevata e con buone caratteristiche di stabilità in frequenza, dobbiamo ricorrere a soluzioni di tipo diverso. Un metodo piuttosto economico per raggiungere stabilità in frequenza dell'ordine della parte su milione consiste nell'utilizzo delle proprietà piezoelettriche di sottili lamine di quarzo.

I materiali piezoelettrici presentano la caratteristica di dar luogo a una differenza di potenziale elettrico se sollecitati meccanicamente (si pensi agli accendigas piezoelettrici) o di deformarsi se soggetti all'applicazione di un campo elettrico (si pensi agli altoparlanti piezoelettrici). Queste importanti proprietà consentono di far interagire un sistema risonante meccanico con un circuito elettrico, mantenendo l'elevato  $Q$  caratteristico del sistema meccanico. Il fattore di qualità  $Q$  rappresenta sostanzialmente il rapporto tra l'energia in gioco negli elementi reattivi e quella dissipata in

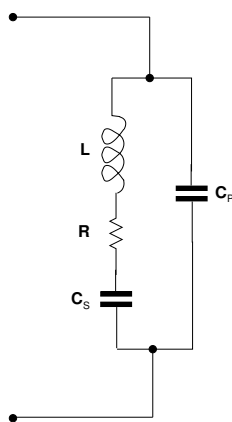
un ciclo negli elementi resistivi. Un sistema senza dissipazione sarebbe caratterizzato da un  $Q$  infinito, dato che l'energia dissipata risulterebbe nulla. Nel caso di un filtro passa banda il  $Q$  si definisce come il rapporto fra la frequenza centrale e la banda ( $Q = f_0/B$ ), infatti tanto minore è la componente dissipativa, tanto più stretta è la curva di risposta del filtro.

Nei risonatori elettrici, a causa delle inevitabili resistenze parassite, non si riescono a raggiungere valori di  $Q$  superiori a qualche centinaio, mentre nei risonatori meccanici valori di molte migliaia sono possibili.

Il risonatore meccanico che si utilizza negli oscillatori di clock è costituito da una lamina di cristallo piezoelettrico (genericamente definito in campo elettronico semplicemente "quarzo") sulle cui superfici sono stati depositati due elettrodi metallici, come nella figura che segue, dove è anche rappresentato il simbolo circuitale del quarzo.



Possiamo tracciare un circuito elettrico equivalente del quarzo, costituito dal parallelo di un circuito risonante  $RLC_s$ , rappresentativo della risonanza meccanica, e di un condensatore  $C_p$ , che rappresenta la capacità tra gli elettrodi.



Calcoliamo l'impedenza del circuito equivalente che abbiamo rappresentato: si tratta di valutare il parallelo dei due rami, trascurando la resistenza  $R$ , che risulta molto piccola, data la scarsa dissipazione. Abbiamo dunque:

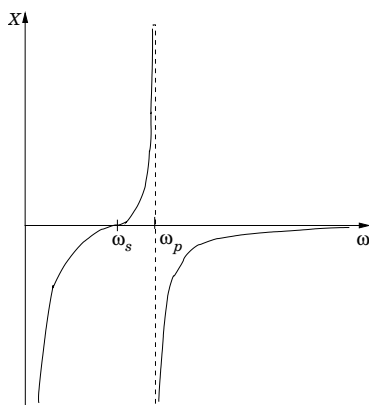
$$\begin{aligned}
 Z(j\omega) &= \frac{1}{j\omega C_p + \frac{1}{\frac{1}{j\omega C_s} + j\omega L}} = \frac{1 - \omega^2 LC_s}{(1 - \omega^2 LC_s)j\omega C_p + j\omega C_s} \\
 &= \frac{1 - \omega^2 LC_s}{j\omega C_p \left( \frac{C_s + C_p}{C_p} - \omega^2 C_s L \right)} = \frac{\frac{1}{C_s L} - \omega^2}{j\omega C_p \left( \frac{C_s + C_p}{C_s C_p L} - \omega^2 \right)}.
 \end{aligned}$$

Se definiamo  $\omega_s = 1/\sqrt{C_s L}$  e  $\omega_p = \sqrt{(C_p + C_s)/(C_s C_p L)}$  (osserviamo che  $\omega_p > \omega_s$ , dato che  $C_p C_s/(C_p + C_s)$  è minore di  $C_s$ ), possiamo riscrivere la precedente equazione

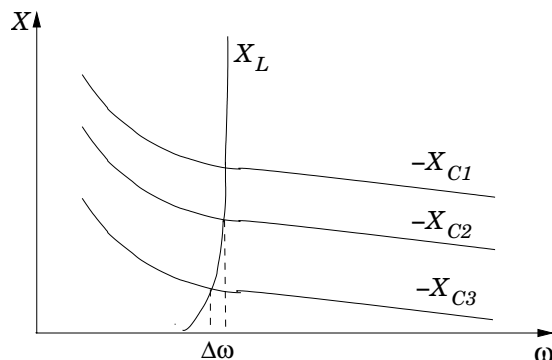
nella forma

$$Z(j\omega) = \frac{1}{j\omega C_p} \frac{\omega^2 - \omega_s^2}{\omega^2 - \omega_p^2}.$$

Notiamo che l'impedenza è puramente reattiva, dato che il primo fattore è immaginario e il secondo reale. Notiamo inoltre che la reattanza (la parte immaginaria dell'impedenza) risulta negativa per  $\omega < \omega_s$ , positiva per  $\omega$  compresa nell'intervallo (molto piccolo) tra  $\omega_s$  e  $\omega_p$  e nuovamente negativa per  $\omega > \omega_p$ .



Notiamo inoltre che nell'intervallo in cui la reattanza è positiva (induttiva) ha anche un andamento molto ripido in funzione della frequenza. Questo è un aspetto importante, perché se utilizziamo il quarzo in questa regione in combinazione con una reattanza capacitiva esterna, si avrà una frequenza di risonanza che varia poco anche per grosse variazioni della componente capacitiva, come è facile comprendere dalla rappresentazione grafica contenuta nella figura seguente.

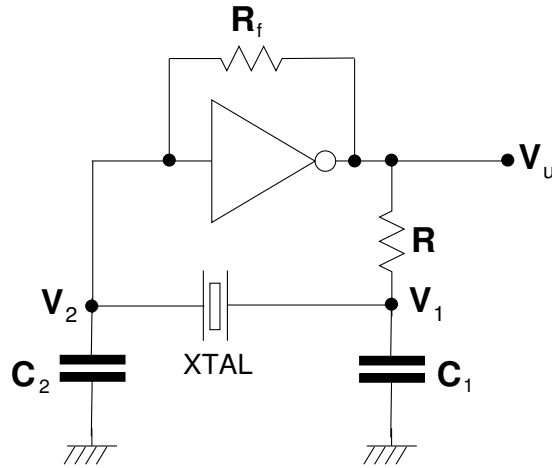


La risonanza si ottiene quando la reattanza totale risulta nulla, quindi quando  $-X_C$  (reattanza capacitiva) è pari a  $X_L$  (reattanza induttiva del quarzo). Data la forte pendenza di  $X_L$ , anche ampie variazioni di  $X_C$  determinano uno spostamento  $\Delta\omega$  molto piccolo della pulsazione alla quale si ha la risonanza.

Negli oscillatori il quarzo viene sempre utilizzato nella regione di frequenze nella quale ha un comportamento induttivo, sia perché in essa l'andamento in funzione della frequenza è più ripido sia perché è preferibile sostituire i componenti induttivi (i quali presentano perdite a causa della loro resistenza serie) piuttosto che quelli capacitivi, che hanno un comportamento più vicino a quello ideale.

Uno schema tipicamente impiegato è quello dell'oscillatore di Pierce, che utilizza come elemento attivo un inverter CMOS, secondo lo schema di seguito riportato.





La resistenza  $R_f$  è necessaria per mantenere il punto di lavoro esattamente nel centro della caratteristica, laddove il guadagno è molto elevato. Infatti il quarzo non consente il passaggio di una componente continua, quindi in assenza di  $R_f$  la componente continua subirebbe una deriva non controllabile. In conseguenza della presenza di  $R_f$  la componente continua della tensione di ingresso deve risultare pari a quella della tensione di uscita (non c'è caduta di tensione in continua su  $R_f$ , dato che non può fluire una corrente continua in  $C_2$ , nel quarzo o nell'ingresso dell'inverter): se consideriamo il legame tra ingresso e uscita imposto dall'andamento della caratteristica di trasferimento dell'inverter, concludiamo che il valor medio all'ingresso e all'uscita sarà pari alla metà della tensione di alimentazione, quindi il punto di lavoro sarà, come desiderato, proprio al centro della caratteristica.

In base al criterio di Barkhausen, per ottenere il funzionamento di un oscillatore è necessario che il guadagno attraverso l'anello di reazione abbia fase nulla (in modo da riportare in ingresso un segnale esattamente in fase con quello che lo ha prodotto) e modulo unitario. In realtà la seconda condizione è indispensabile soltanto se si vuole ottenere una forma d'onda in uscita sinusoidale, altrimenti è sufficiente che il modulo sia maggiore dell'unità. A rigore si dovrebbe parlare di oscillatori solo nel caso di circuiti che producono una forma d'onda sinusoidale (mentre gli altri sarebbero più propriamente generatori di forma d'onda), ma è ormai entrato nell'uso comune definire oscillatori anche circuiti come quello che stiamo esaminando, la cui forma d'onda di uscita è quadra. Dato che in questo caso il guadagno di anello è maggiore dell'unità, l'ampiezza viene limitata dal fenomeno della saturazione dell'inverter. Supponiamo che il quarzo e  $C_2$  siano in risonanza con  $C_1$ , per cui, alla frequenza fondamentale di funzionamento dell'oscillatore, non scorre corrente in  $R$  (un circuito risonante parallelo presenta un'impedenza infinita alla frequenza di risonanza). In tal caso la tensione  $V_1$  (sempre alla frequenza fondamentale) su  $C_1$  è uguale a quella  $V_u$  presente in uscita. Quindi possiamo calcolare la tensione  $V_2$  ai capi del condensatore  $C_2$  considerando il partitore tra il quarzo (con impedenza  $jX$ ) e  $C_2$ :

$$V_2 = \frac{V_u \frac{1}{j\omega C_2}}{\frac{1}{j\omega C_2} + jX} = \frac{V_u}{1 - \omega C_2 X}.$$

Per ottenere una fase totale nulla, lo sfasamento tra  $V_u$  e  $V_2$  dovrà risultare di  $180^\circ$ , dato che l'inverter introduce il rimanente sfasamento di  $180^\circ$ . Dovrà quindi risultare  $1 - \omega C_2 X < 0$ , che può anche scriversi  $\omega C_2 X > 1$ , quindi  $X$  deve essere maggiore di zero e dunque induttiva. Pertanto, il circuito che stiamo considerando è tale da far funzionare il quarzo nella zona induttiva.

Imponiamo ora che la serie del quarzo e di  $C_2$  (sono in serie, dato che l'ingresso dell'inverter non assorbe corrente) sia effettivamente in risonanza con il condensatore  $C_1$ :

$$j\omega C_1 + \frac{1}{jX + \frac{1}{j\omega C_2}} = 0$$

Con qualche passaggio otteniamo

$$j\omega C_2 = j\omega^2 C_1 C_2 X - j\omega C_1$$

e quindi

$$\omega = \frac{1}{X} \frac{C_2 + C_1}{C_1 C_2}.$$

Ricordiamo che  $X$  è anch'essa funzione di  $\omega$ , per cui dobbiamo sviluppare ulteriormente i calcoli, per ottenere un'espressione esplicita della pulsazione di funzionamento. Sostituiamo in questa equazione l'espressione che abbiamo precedentemente ottenuto per  $X(\omega)$ , ottenendo

$$\omega = -\omega C_p \frac{\omega^2 - \omega_p^2}{\omega^2 - \omega_s^2} \frac{C_1 + C_2}{C_1 C_2}.$$

Sviluppando i calcoli ricaviamo

$$\omega^2 + \frac{C_1 C_2}{(C_1 + C_2) C_p} \omega^2 = \frac{C_1 C_2}{(C_1 + C_2) C_p} \omega_s^2 + \omega_p^2.$$

Poniamo

$$k = \frac{C_1 C_2}{(C_1 + C_2) C_p},$$

ottenendo

$$\omega^2(1 + k) = k\omega_s^2 + \omega_p^2,$$

da cui, dividendo per  $1 + k$  e sommando e sottraendo un termine del tipo

$$\frac{\omega_p^2 k}{1 + k},$$

ricaviamo

$$\begin{aligned} \omega^2 &= \frac{k}{1 + k} \omega_s^2 + \frac{\omega_p^2}{1 + k} + \frac{\omega_p^2 k}{1 + k} - \frac{\omega_p^2 k}{1 + k} \\ &= \omega_p^2 - \frac{k}{1 + k} (\omega_p^2 - \omega_s^2). \end{aligned}$$

Osserviamo che il termine

$$\frac{k}{1 + k} (\omega_p^2 - \omega_s^2)$$

rappresenta una frazione dell'intervallo  $[\omega_s^2, \omega_p^2]$ , dato che  $k > 0$  e quindi  $k/(k+1) < 1$ . Ne consegue che  $\omega_s < \omega < \omega_p$ , per cui il quarzo opera effettivamente nella regione in cui la sua reattanza è induttiva.

Possiamo ora ricavare l'espressione di  $k/(1+k)$  dalla definizione di  $k$  precedentemente data:

$$\frac{k}{1+k} = \frac{C_1 C_2}{C_1 C_2 + C_p (C_1 + C_2)},$$

da cui otteniamo

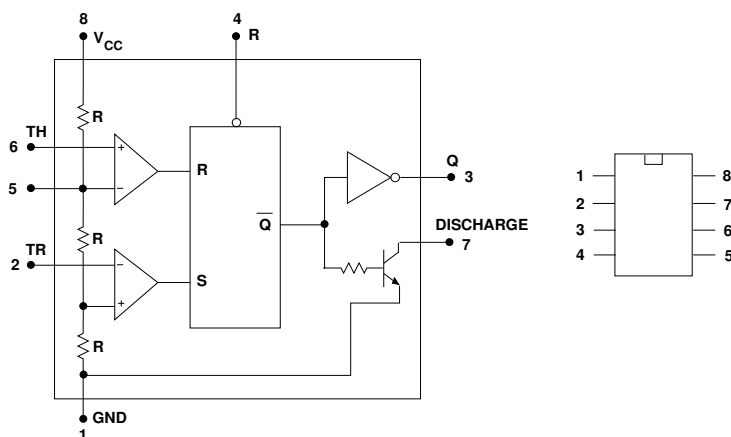
$$\omega^2 = \omega_p^2 + \frac{C_1 C_2}{C_1 C_2 + C_p (C_1 + C_2)} (\omega_s^2 - \omega_p^2).$$

È possibile sostituire uno dei condensatori con un condensatore variabile per ottenere una regolazione fine del valore della frequenza. Il campo di regolazione è comunque molto piccolo, perché anche una variazione piuttosto grande delle capacità sposta comunque di poco la frequenza di oscillazione (in genere meno di una parte per mille).

## 18.6 Applicazioni del circuito integrato NE555

Il circuito integrato NE555 contiene al suo interno dei comparatori di tensione e un flip-flop SR, oltre ad altri componenti come un transistor utile a scaricare capacità connesse esternamente. Lo NE555 ha un numero estremamente grande di applicazioni in circuiti analogico-digitali, in particolare nella realizzazione di timer, di multivibratori astabili, di formatori di impulsi.

Lo schema a blocchi interno è rappresentato nella figura seguente, dove è anche indicata la corrispondenza dei terminali con quelli del case plastico dual-in-line più comunemente utilizzato. Le tre resistenze  $R$  formano un partitore sul quale sono disponibili le tensioni  $1/3 V_{CC}$  e  $2/3 V_{CC}$ .

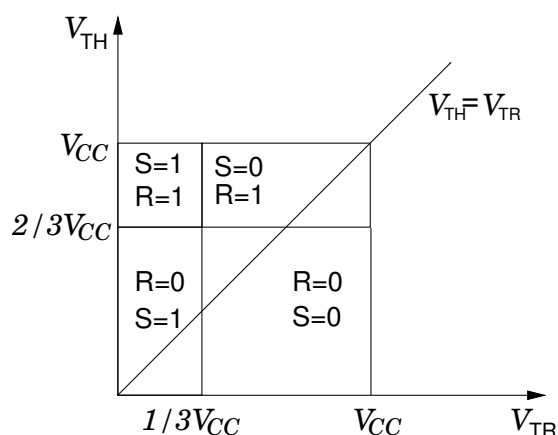


Se sull'ingresso TH (Threshold) è presente una tensione superiore a  $2/3 V_{CC}$ , viene attivato il terminale di reset del flip-flop; se invece è presente una tensione inferiore a  $1/3 V_{CC}$  sull'ingresso TR (trigger), risulta attivato il terminale di set del flip-flop. Il flip-flop ha anche un altro terminale di reset, attivo allo stato basso, che è collegato al piedino 4. L'uscita negata del flip-flop viene portata al terminale di uscita esterno tramite un inverter in grado di erogare correnti fino a 200 mA e comanda anche un transistor open collector che viene portato in saturazione quando l'uscita esterna è allo stato basso.

L'attivazione del reset sul piedino 4 è prioritaria rispetto agli altri ingressi del flip-flop e tra gli altri due ingressi il set è prioritario rispetto al reset. La tensione di

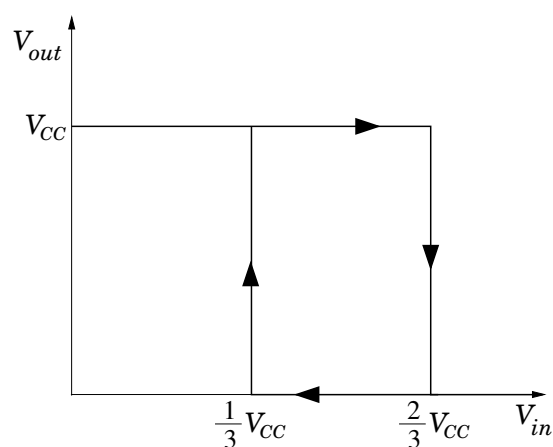
alimentazione  $V_{CC}$  può essere compresa tra 4.5 e 16 V e l'uscita, purché si scelga il corretto valore di  $V_{CC}$ , è compatibile con circuiti logici sia CMOS sia TTL.

Tracciamo un diagramma che rappresenti lo stato dell'uscita in funzione dello stato degli ingressi TH e TR.

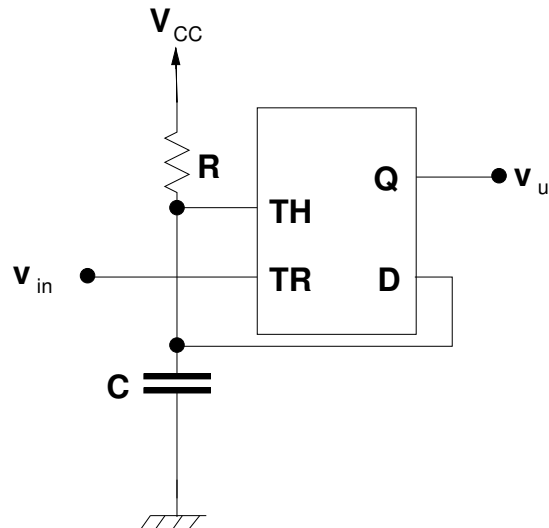


Per  $V_{TR} < 1/3 V_{CC}$ , il terminale di set è attivo e quindi l'uscita è sempre a livello alto, anche se  $V_{TH} > 2/3 V_{CC}$ , perché, come abbiamo già detto, il set ha priorità sul reset. Se invece  $V_{TR}$  supera  $1/3 V_{CC}$ , l'uscita rimarrà nello stato in cui si trovava precedentemente se  $V_{TH} < 2/3 V_{CC}$  (dato che in tal caso né il set né il reset sono attivi) oppure sarà forzata al livello basso se  $V_{TH} > 2/3 V_{CC}$ .

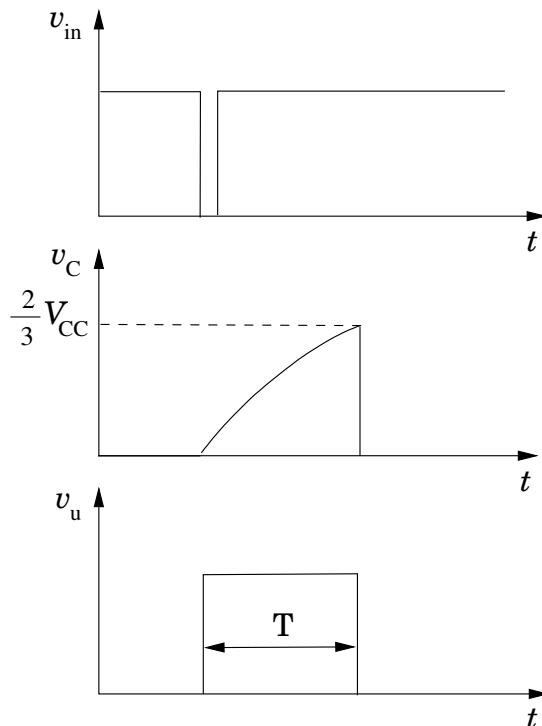
Prendiamo ora in esame il caso particolare consistente nel collegare insieme TH e TR: il comportamento è descritto dalla bisettrice del primo quadrante, indicata sul grafico precedente. Se partiamo da un valore basso di tensione di ingresso, ci troviamo nella regione ( $S = 1, R = 0$ ), quindi l'uscita si trova al livello alto. Un ulteriore incremento della tensione di ingresso ci porta nella regione ( $S = 0, R = 0$ ), per cui l'uscita rimane al livello alto, finché l'ingresso non supera la tensione di  $2/3 V_{CC}$ , e raggiungiamo la condizione ( $S = 0, R = 1$ ), per cui l'uscita passa al livello basso. Tornando verso valori di tensione di ingresso bassi, attraversiamo di nuovo la regione ( $S = 0, R = 0$ ), per cui l'uscita rimane al livello basso, finché non attraversiamo la soglia corrispondente a  $1/3 V_{CC}$  e l'uscita torna al livello alto, dato che siamo nella regione ( $S = 1, R = 0$ ). Abbiamo quindi ottenuto un trigger di Schmitt, la cui caratteristica di trasferimento è rappresentata nella figura seguente.



Vediamo ora come si può utilizzare lo NE555 per realizzare un timer, che sostanzialmente corrisponde a un monostabile (lo si definisce timer perché la durata dell'impulso di uscita può essere anche dell'ordine di qualche minuto).



A riposo, quando all'ingresso TR è presente una tensione superiore a  $1/3 V_{CC}$ , l'uscita si trova a livello basso, quindi il terminale di discharge mantiene il condensatore scarico e il terminale TH disattivato. La condizione descritta risulta pertanto consistente. Se applichiamo un impulso di valore inferiore a  $1/3 V_{CC}$  sull'ingresso TR, l'uscita passa allo stato alto e il condensatore C comincia a caricarsi, come indicato nella figura seguente, dato che il terminale di discharge è ora flottante.



Quando la tensione sul condensatore raggiunge  $2/3 V_{CC}$ , avviene una nuova commutazione e l'uscita passa al livello basso, causando anche, tramite il terminale di discharge, la scarica del condensatore, riportando tutto nella condizione iniziale. Questo monostabile ha quindi il vantaggio, rispetto a quello a porte logiche visto in precedenza, di non richiedere alcun tempo di attesa prima che sia possibile fornire in ingresso un nuovo impulso, dopo che è terminato l'impulso di uscita.

Possiamo facilmente calcolare la durata dell'impulso di uscita: questa corrisponde al tempo impiegato dalla tensione sul condensatore per raggiungere  $2/3 V_{CC}$ :

$$\frac{2}{3}V_{CC} = V_{CC} \left(1 - e^{-T/RC}\right).$$

Quindi otteniamo

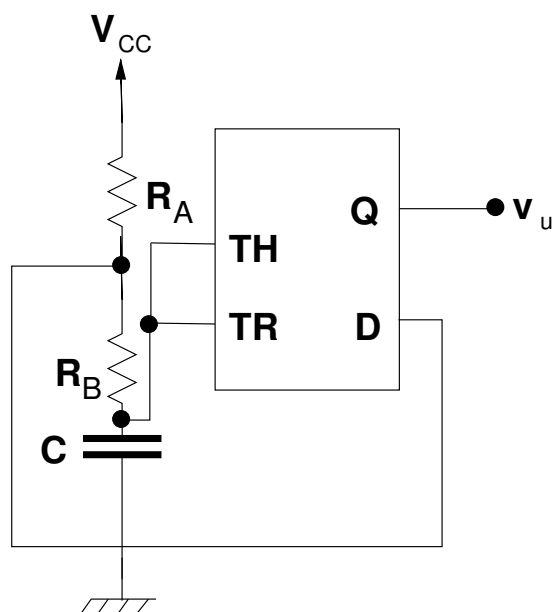
$$\frac{1}{3} = e^{-T/RC},$$

da cui

$$T = RC \ln 3.$$

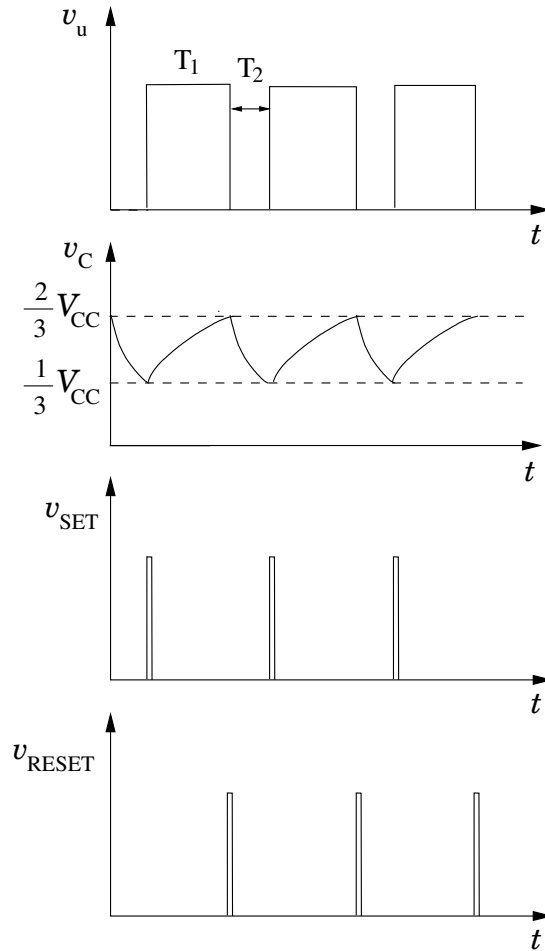
Possiamo ottenere tempi  $T$  anche piuttosto lunghi: se consideriamo di poter utilizzare resistenze  $R_C$  tra i  $100 \Omega$  e qualche megaohm, con condensatori di qualche decina di microfarad si possono raggiungere tempi oltre il centinaio di secondi. Non si possono impiegare resistenze troppo piccole, altrimenti la corrente entrante nel terminale di discharge potrebbe raggiungere valori eccessivi né si possono utilizzare resistenze di valore troppo alto, perché le correnti parassite che fluiscono nell'integrato e nel condensatore (specialmente se si utilizzano condensatori elettrolitici) darebbero luogo a cadute di tensione eccessive.

Un'altra possibile applicazione dello NE555 consiste nella realizzazione di un multivibratore astabile, un possibile schema del quale è riportato di seguito.



Partiamo da una condizione nella quale l'uscita si trovi al livello basso e in cui quindi il terminale di discharge sia connesso a massa e determini la scarica di  $C$  tramite  $R_B$ : quando la tensione sul condensatore raggiunge  $1/3 V_{CC}$ , l'uscita passa al livello alto,  $D$  diventa flottante e il condensatore comincia a caricarsi tramite la serie di  $R_A$  e di  $R_B$ , fino a che la tensione ai suoi capi non raggiunge  $2/3 V_{CC}$  e si verifica il passaggio dell'uscita al livello basso e l'inizio di una nuova scarica di  $C$  attraverso  $R_B$ . L'andamento delle tensioni è rappresentato nella figura che segue.

Calcoliamo il periodo della forma d'onda rettangolare ottenuta: il tempo  $T_1$  per cui l'uscita rimane al livello alto corrisponde a quello di carica del condensatore da



$1/3 V_{CC}$  a  $2/3 V_{CC}$  tramite  $R_A + R_B$ , quindi con costante di tempo  $\tau_1 = C(R_A + R_B)$ , per cui

$$\frac{2}{3}V_{CC} = V_{CC} + \left(\frac{1}{3}V_{CC} - V_{CC}\right) e^{-T_1/\tau_1}$$

e dunque

$$T_1 = C(R_A + R_B) \ln 2.$$

Il tempo  $T_2$  corrisponde invece a quello di scarica, tramite  $R_B$ , da  $2/3 V_{CC}$  a  $1/3 V_{CC}$ , con costante di tempo  $\tau_2 = CR_B$ :

$$\frac{1}{3}V_{CC} = \frac{2}{3}V_{CC} e^{-T_2/\tau_2},$$

pertanto

$$T_2 = CR_B \ln 2.$$

Il periodo della forma d'onda ottenuta risulta perciò

$$T = T_1 + T_2 = C(2R_B + R_A) \ln 2.$$

Notiamo che le tensioni sui terminali interni di set e di reset hanno una forma impulsiva, con durata di ciascun impulso molto breve. Il motivo della durata molto breve è semplice da capire: consideriamo per esempio il caso del terminale di reset. Quando la tensione sul condensatore raggiunge il valore  $2/3 V_{CC}$ , il terminale di reset viene portato a livello alto e avviene la commutazione dell'uscita al livello basso; a questo punto il terminale di discharge entra in azione, iniziando immediatamente a scaricare il condensatore, per cui la tensione scende subito al di sotto di  $2/3 V_{CC}$  e il terminale di reset torna al livello logico basso.

## 19. Logica programmabile

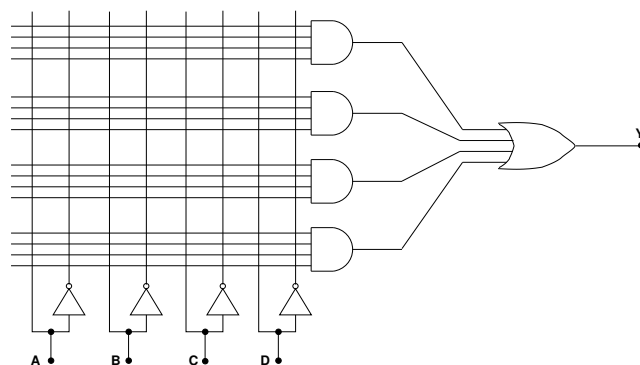
### 19.1 Introduzione

La realizzazione di circuiti logici di una certa complessità a partire da circuiti integrati SSI (Small Scale Integration), che contengono al più una decina di porte logiche, conduce a schede di dimensioni eccessive e a costi di realizzazione troppo elevati. In tali situazioni si cerca quindi di ricorrere a circuiti integrati di tipo diverso, contenenti un numero elevato di porte logiche: è chiaro che tali circuiti integrati devono essere concepiti in modo che sia possibile “programmarli” sul campo o, al limite, in sede di fabbricazione, in modo da ottenere esattamente le funzioni logiche desiderate. Un modo molto semplice di ottenere una rete combinatoria programmabile consiste nell’uso di una PROM: i terminali degli indirizzi corrispondono agli ingressi e il dato di uscita corrisponde al valore immagazzinato nella cella individuata da ciascuna combinazione delle variabili di ingresso. La funzione logica svolta da una rete combinatoria così realizzata è pertanto completamente programmabile. Il problema dell’implementazione di una rete combinatoria tramite una PROM sta nel fatto che le dimensioni di quest’ultima crescono piuttosto rapidamente con il numero delle variabili di ingresso, per cui una tale soluzione è valida solo se si ha un numero di ingressi piuttosto limitato.

Sono stati pertanto studiati approcci di tipo diverso, che contengono anche elementi di logica sequenziale, e che verranno brevemente trattati in questo capitolo. L’utilizzo delle diverse soluzioni dipende sia dalla complessità del circuito che si intende realizzare sia dal numero di pezzi che si prevede di produrre, dato che il costo unitario può essere fortemente dipendente dal volume della produzione.

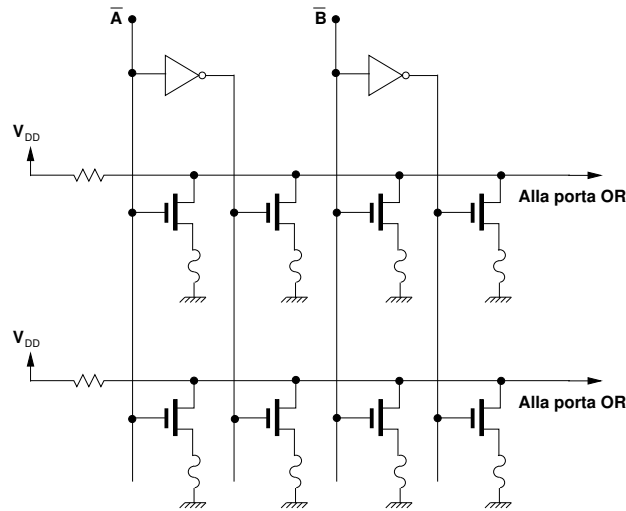
### 19.2 Programmable Array Logic (PAL)

L’approccio della Programmable Array Logic si basa sulla rappresentazione della funzione logica in termini di somma di prodotti, quindi su una struttura costituita da porte AND ai cui ingressi vengono presentate le variabili complementate o non complementate e le cui uscite sono connesse a una porta OR che svolge la somma dei prodotti. La struttura base di una PAL è riportata nella figura seguente.



La struttura a matrice che precede gli AND si definisce “piano AND” e rappresenta la parte più importante della PAL, quella sulla quale si svolge la programmazione, consistente nel creare le connessioni desiderate tra le linee verticali e quelle orizzontali. Vediamo quale può essere un’implementazione del piano AND di una PAL in termini circuitali. Lo schema riportato di seguito implementa la funzione logica AND se le





variabili di ingresso complementate sono scambiate, come indicato, con quelle non complementate.

Infatti la struttura è quella di un NOR, in cui, per esempio, abbiamo  $Y = \overline{A + B + C} = \overline{A} \cdot \overline{B} \cdot \overline{C}$  e, quindi, negando ciascuna delle variabili di ingresso, si ottiene un AND. I componenti indicati sui source sono fusibili, che possono essere interrotti in fase di programmazione (eliminando quindi la corrispondente intersezione tra linee verticali e orizzontali). Una PAL riprogrammabile potrebbe essere ottenuta sostituendo i MOS indicati con dei MOS con floating gate come quelli delle EPROM, consentendo quindi la cancellazione tramite esposizione agli ultravioletti, o come quelli delle E<sup>2</sup>PROM, permettendo dunque la cancellazione elettrica.

Se il numero delle variabili di ingresso è molto elevato, la dimensione del piano AND cresce in modo eccessivo, anche se le intersezioni tra le linee verticali e quelle orizzontali sono in effetti in numero ridotto. Lo spazio sul chip non viene quindi sfruttato efficientemente da PAL di grosse dimensioni. Per tale motivo, per circuiti a molti ingressi, si ricorre a soluzioni di tipo diverso, che vengono discusse nel paragrafo seguente.

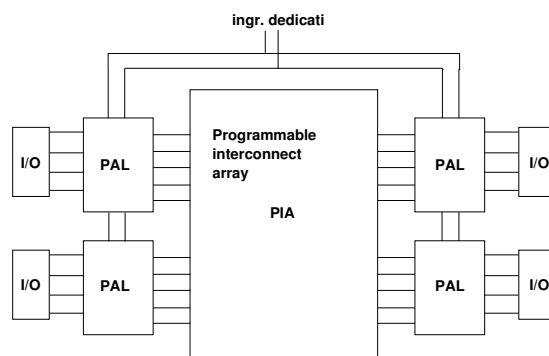
### 19.3 Programmable Logic Device (PLD)

Un PLD è costituito da un certo numero di PAL interconnesse tra loro da una matrice di connessioni bidirezionali detta PIA (Programmable Interconnect Array), che può essere programmata in modo da ottenere una connessione tra due qualsiasi punti del sistema. La PIA è una struttura molto complessa, dato che deve garantire qualunque interconnessione, mantenendo però sempre lo stesso ritardo. Spesso il suo progetto costituisce un segreto industriale gelosamente custodito.

Uno schema a blocchi di un PLD è riportato nella figura che segue, dove sono anche rappresentati i pad di I/O, che consentono l'interfacciamento con il mondo esterno e possono contenere della logica sequenziale.

Sono indicati anche dei collegamenti che dall'esterno raggiungono solo le PAL, per variabili che non necessitano di transitare dalla PIA, come, per esempio, dei segnali di reset globali. Notiamo che in questa struttura sono programmabili sia le PAL sia la PIA e, in parte, i pad di I/O. I PLD possono sostituire fino a un centinaio di integrati SSI (Small Scale Integration), mentre le PAL possono sostituirne intorno a una decina.

Per circuiti logici con complessità equivalente maggiore di qualche centinaio di integrati SSI è necessario ricorrere a soluzioni con progetto ad hoc, che consistono

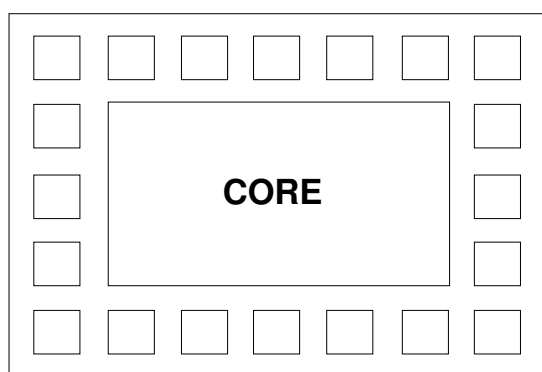


nei cosiddetti circuiti ASIC.

### 19.4 Application Specific Integrated Circuit (ASIC)

I circuiti ASIC vengono progettati specificamente per una determinata applicazione, quindi il layout può essere ottimizzato e il numero di componenti ridotto a quello effettivamente necessario. I vantaggi di un tale approccio sono evidenti: il consumo di potenza viene ridotto e la velocità risulta incrementata, grazie all'ottimizzazione del progetto; il circuito ha un ingombro minimo, essendo compreso tutto all'interno di un singolo chip; l'affidabilità risulta notevolmente incrementata, per l'assenza di saldature; infine l'effettiva struttura interna non è visibile, se non con mezzi molto sofisticati, e quindi è difficile che il progetto venga riprodotto da un concorrente. Gli svantaggi degli ASIC sono rappresentati dall'elevato costo di progetto, che richiede l'uso di tool CAD (Computer Aided Design) sofisticati e molto costosi, e dalla tecnologia richiesta per l'effettiva realizzazione del circuito integrato, che è disponibile solo presso poche silicon foundry nel mondo. Anche la fase di test è complessa, dato che, a meno di usare tecniche complesse e costose come la microscopia elettronica a contrasto di tensione, non è possibile avere accesso ai nodi interni del circuito. La preparazione di sequenze di dati di ingresso capaci di verificare al meglio la funzionalità di un circuito ASIC (creazione dei vettori di test) è una specialità a sé stante, che richiede notevoli sforzi anche a livello di ricerca. Un altro svantaggio è rappresentato dal "turn around time" (il tempo che trascorre dal momento in cui si inizia il progetto al momento in cui il chip è effettivamente disponibile) piuttosto lungo a causa delle interazioni, anche abbastanza complesse, che devono aversi tra progettisti e fonderia.

In un ASIC si fa una distinzione tra la parte che svolge tutte le funzioni logiche caratteristiche del particolare progetto (core) e i pad di I/O, che contengono i componenti necessari per interfacciare il core con l'esterno. La disposizione di tali parti sul chip è illustrata nella figura che segue, con i pad di I/O che formano una corona intorno al core.

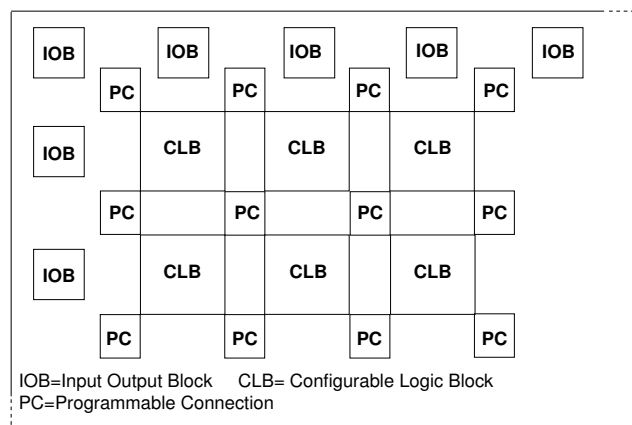


Gli ASIC si possono distinguere in due categorie principali: i Full-Custom e i Semi-Custom. Nel caso full-custom tutto il core deve essere progettato, mentre in quello del semi-custom gli elementi base del core sono già definiti dalla fonderia e il progetto riguarda sostanzialmente le connessioni tra tali elementi.

Ulteriori distinzioni si possono fare tra i vari tipi di ASIC semi-custom, che si distinguono nelle categorie principali dei "Gate Arrays", "Sea of Gates" e "Standard Cells". I "Gate Arrays" sono costituiti da file di transistori PMOS e NMOS i quali possono essere interconnessi tra loro in maniera selezionabile dal progettista. I "Sea of Gates" sono costituiti da un insieme di molti transistori distribuiti in modo meno regolare che nei "Gate Arrays". Infine l'approccio "Standard Cells" consiste in un core formato da celle preprogettate che svolgono funzioni logiche elementari e in questo caso il progettista deve solo definire la loro interconnessione.

### 19.5 Field Programmable Gate Arrays (FPGA)

Come abbiamo visto, la soluzione basata su circuiti ASIC diventa economicamente conveniente solo nel caso in cui siano previste produzioni di grande volume (in modo da poter ammortizzare i costi di progetto e di realizzazione delle maschere). Un approccio che consente di realizzare circuiti digitali anche complessi su un singolo chip senza dover ricorrere a tecnologie custom è rappresentato dalle FPGA (Field Programmable Gate Arrays), strutture contenenti celle elementari (che realizzano funzioni sia combinatorie sia sequenziali), la cui interconnessione viene definita tramite una procedura di programmazione. L'effettiva struttura interna delle FPGA dipende dal costruttore e può variare anche notevolmente dall'uno all'altro. Per esempio, le FPGA ACTEL hanno una struttura che ricorda quella "Standard Cells" degli ASIC e sono costituite da blocchi logici di tipo sequenziale o combinatorio allineati secondo una sequenza opportuna e tra i quali è possibile programmare le interconnessioni. Le FPGA Xilinx, molto utilizzate attualmente, hanno una struttura diversa, rappresentata schematicamente nella figura che segue, in cui è presente una corona esterna di pad di I/O programmabili detti IOB (Input Output Block).



All'interno della corona si ha una matrice di blocchi logici programmabili detti CLB (Configurable Logic Block) che possono essere collegati tra loro e con i pad di I/O tramite una rete di connessioni programmabile, ciascuna delle quali è controllata da un bit di configurazione. La complessità della struttura è notevole, così come quella della procedura di programmazione, che coinvolge sia i pad di I/O sia i CLB sia le connessioni programmabili.

Oltre che per la realizzazione di piccole serie, le FPGA si utilizzano anche per la realizzazione di prototipi di ASIC, data la facilità di programmazione e di riprogrammazione e la rapidità con cui il progetto può essere verificato, data l'immediata disponibilità sul mercato delle FPGA stesse.

Un esempio particolare di applicazione delle FPGA è rappresentato dal TERAMAC (sviluppato nell'ambito di una collaborazione tra Hewlett-Packard e University of California at Los Angeles), un calcolatore riconfigurabile basato su una struttura a matrice di FPGA scelte in maniera che alcune di esse siano sicuramente difettose e connesse con un cablaggio non affidabile al 100%. Un software appositamente realizzato va a esaminare la struttura hardware del TERAMAC, individuando i componenti non funzionanti e configura le FPGA in modo da realizzare un computer operante in modo corretto. Se durante il funzionamento intervengono altri guasti oppure vengono addirittura tolte delle schede, si può far girare di nuovo il software in questione e ottenere ancora un computer funzionante, anche se con prestazioni un po' inferiori. Lo scopo del TERAMAC è di tipo dimostrativo, per far vedere come sia possibile, purché si preveda un margine sufficiente di ridondanza, realizzare sistemi correttamente funzionanti anche a partire da componenti che siano in parte difettosi.